

522,335

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 2 月 19 日 (19.02.2004)

PCT

(10) 国際公開番号
WO 2004/015765 A1

- (51) 国際特許分類⁷: H01L 23/12, 23/52, 25/00, H05K 3/46
- (21) 国際出願番号: PCT/JP2003/003561
- (22) 国際出願日: 2003 年 3 月 24 日 (24.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-233775 2002 年 8 月 9 日 (09.08.2002) JP
特願2003-64986 2003 年 3 月 11 日 (11.03.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒503-0917 岐阜県 大垣市 神田町 2 丁目 1 番地 Gifu (JP).

斐川町北方 1 丁目 1 番地 イビデン株式会社内 Gifu (JP). 佐野 克幸 (SANO, Katsuyuki) [JP/JP]; 〒501-0695 岐阜県 揖斐郡 揖斐川町北方 1 丁目 1 番地 イビデン株式会社内 Gifu (JP).

- (74) 代理人: 田下 明人, 外 (TASHITA, Akihito et al.); 〒460-0008 愛知県 名古屋市中区栄 1 丁目 2 番 6 号 Aichi (JP).
- (81) 指定国 (国内): CN, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

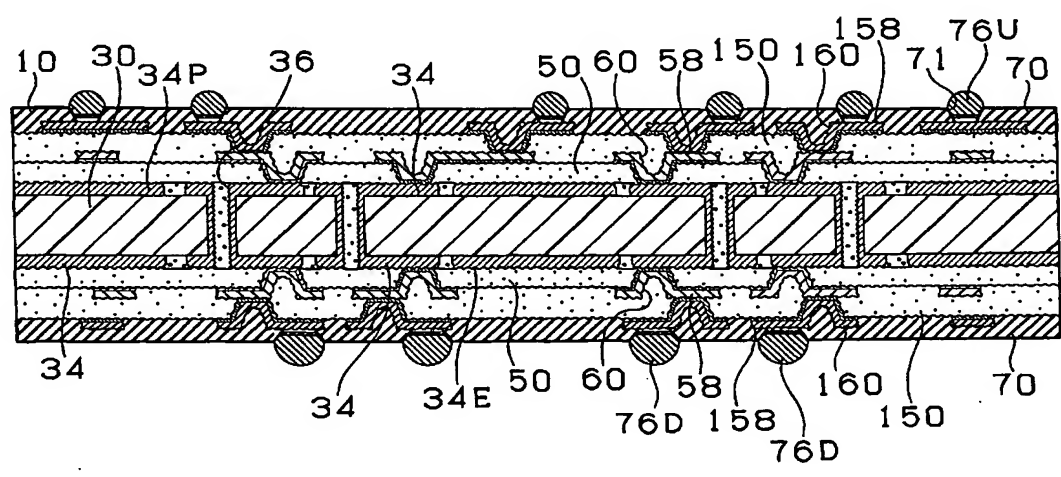
添付公開書類:
— 国際調査報告書

- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 稲垣 靖 (INAGAKI, Yasushi) [JP/JP]; 〒501-0695 岐阜県 揖斐郡 揖

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MULTILAYER PRINTED WIRING BOARD

(54) 発明の名称: 多層プリント配線板



(57) Abstract: A package board that causes neither a malfunction nor an error in an IC chip of a high-frequency region of particularly over 3GHz. A conductor layer (34P) on a core board (30) is formed to have a thickness of 30 μ m, and a conductor circuit (58) on an interlayer insulation layer (50) a thickness of 15 μ m. Thickening the conductor layer (34P) enables an increase in the volume of the conductor itself and a decrease in its resistance. Further, the use of the conductor layer (34) as a power source layer enables an improvement in the capability of power supply to the IC chip.

(57) 要約: 高周波領域の IC チップ、特に 3GHz を越えても誤動作やエラーの発生しないパッケージ基板を提供する。コア基板 30 上の導体層 34P を厚さ 30 μ m に形成し、層間樹脂絶縁層 50 上の導体回路 58 を 15 μ m に形成する。導体層 34P を厚くすることにより、導体自体の体積を増やし抵抗を低減することができる。更に、導体層 34 を電源層として用いることで、IC チップへの電源の供給能力を向上させることができる。

BEST AVAILABLE COPY

WO 2004/015765 A1

明 細 書

多層プリント配線板

5 技術分野

この発明は、多層プリント配線板に係り、高周波のICチップ、特に3GHz以上の高周波領域でのICチップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる多層プリント配線板に関することを提案する。

10

背景技術

ICチップ用のパッケージを構成するビルドアップ式が多層プリント配線板では、スルーホールが形成されたコア基板の両面もしくは片面に、層間絶縁樹脂を形成し、層間導通のためのビアホールをレーザもしくはフォトリソエッチングにより開口させて、層間樹脂絶縁層を形成させる。そのビアホール上にめっきなどにより導体層を形成し、エッチングなどを経て、パターンを形成し、導体回路を作り出させる。さらに、層間絶縁層と導体層を繰り返し形成させることにより、ビルドアップ多層プリント配線板が得られる。必要に応じて、表面には半田バンプ、外部端子(PGA/BGAなど)を形成させることにより、ICチップを実装することができる基板やパッケージ基板となる。ICチップはC4(フリップチップ)実装を行うことにより、ICチップと基板との電気的接続を行っている。

ビルドアップ式が多層プリント配線板の従来技術としては、特開平6-260756号公報、特開平6-275959号公報などがある。ともに、スルーホールを充填樹脂で充填されたコア基板上に、ランドが形成されて、両面にビアホールを有する層間絶縁層を施して、アディティブ法により導体層を施し、ランドと接続することにより、高密度化、微細配線を形成された多層プリント配線板を得られる。

しかしながら、ICチップが高周波になるにつれて、誤動作やエラーの発生の頻度が高くなってきた。特に周波数が3GHzを越えたあたりから、その度

- 2 -

合いが高くなってきている。5 GHz を越えると全く動かなくなることもあった。そのために、該 IC チップを CPU として備えるコンピュータで、機能すべきはずの動作、例えば、画像の認識、スイッチの切り替え、外部へのデータの伝達などの所望の機能や動作を行えなくなってしまった。

- 5 それらの IC チップ、基板をそれぞれ非破壊検査や分解したいところ IC チップ、基板自体には、短絡やオープンなどの問題は発生しておらず、周波数の小さい（特に 1 GHz 未満）IC チップを実装した場合には、誤動作やエラーの発生はなかった。

- 10 本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、高周波領域の IC チップ、特に 3 GHz を越えても誤動作やエラーの発生しないプリント基板もしくはパッケージ基板を構成し得る多層プリント配線板を提案することにある。

発明の開示

- 15 発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

- 20 本願発明は、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、コア基板の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板にある。

第 1 の効果として、コア基板の電源層の導体層が厚くすることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

- 25 第 2 の効果として、導体層を厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗が低減することができる。そのため流れる信号線などの電気的な伝達などを阻害しなくなる。従って、伝達される信号などに損失を起こさない。それは、コアとなる部分の基板だけを厚くすることにより、その効果を奏する。

- 30 第 3 の効果として、導体層を電源層として用いることで、IC チップへの電源の供給能力が向上させることができる。また、導体層をアース層として用い

ることで、ＩＣチップへの信号、電源に重畳するノイズを低減させることができる。その根拠としては、第２の効果で述べた導体の抵抗の低減が、電源の供給も阻害しなくなる。そのため、該多層プリント基板上にＩＣチップを実装したときに、ＩＣチップ～基板～電源までのループインダクタンスを低減することができ
5 ことができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のＩＣチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

また、ＩＣチップ～基板～コンデンサもしくは電源層～電源を経て、ＩＣチップに電源を供給する場合にも、同様の効果を奏する。前述のループインダクタ
10 タンスを低減することができる。それ故に、コンデンサもしくは誘電体層の電源の供給に損失を起こさない。そもそもＩＣチップは、瞬時的に電力を消費して、複雑な演算処理や動作が行われる。電源層からのＩＣチップへの電力供給により、高周波領域のＩＣチップを実装したとしても、初期動作における電源不足（電圧降下の発生という状況）に対して、大量のコンデンサを実装すること
15 となく、電源の供給をすることができる。そもそも高周波領域のＩＣチップを用いるためには初期動作時の電源不足（電圧降下）が発生するが、従来のＩＣチップでは供給されていたコンデンサもしくは誘電体層の容量で足りていた。

特に、コア基板の電源層として用いられる導体層の厚みが、コア基板の片面もしくは両面上の層間絶縁層上に導体層の厚みより、厚いときに、上記の３つ
20 の効果を最大限にさせることができるのである。この場合の層間絶縁層上の導体層とは、絶縁層の中に心材を含浸されていない樹脂で形成された層間樹脂絶縁層に、層間を接続させるための非貫通孔であるビアホールを形成したものにめっき、スパッタなどを経て形成された導体層を主として意味する。これ以外にも特に限定されないがビアホールを形成されたものであれば、上記の導
25 体層に該当する。

コア基板の電源層は、基板の表層、内層もしくは、その両方に配置させてもよい。内層の場合は、２層以上に渡り多層化してもよい。基本的には、コア基板の電源層は層間絶縁層の導体層よりも厚くなっていれば、その効果を有するのである。

30 ただ、内層に形成することが望ましい。内層に形成されるとＩＣチップと外部

端もしくはコンデンサとの中間に電源層が配置される。そのため、双方の距離が均一であり、阻害原因が少なくなり、電源不足が抑えられるからである。

また、本発明では、コア基板上に、層間絶縁層と導体層が形成されて、パイアホールを介して、電氣的な接続を行われる多層プリント配線板において、

- 5 コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする多層プリント配線板にある。

- 10 $\alpha 1 \leq \alpha 2$ の場合は、電源不足に対する効果が全くない。つまり、いいかえると初期動作時に発生する電圧降下に対して、その降下度を抑えるということが明確にならないということである。

- 15 $\alpha 1 > 40 \alpha 2$ を越えた場合についても検討を行ったが、基本的には電気特性は、 $40 \alpha 2$ とほぼ同等である。つまり、本願の効果の臨界点であると理解できる。これ以上厚くしても、電氣的な効果の向上は望めない。ただ、この厚みを越えると、コア基板の表層に導体層を形成した場合にコア基板と接続を行うランド等が形成するのに困難が生じてしまう。さらに上層の層間絶縁層を形成すると、凹凸が大きくなってしまい、層間絶縁層にうねりを生じてしまうために、インピーダンスを整合することが出来なくなってしまうことがある。しかしながら、その範囲 ($\alpha 1 > 40 \alpha 2$) でも材質などの要因で問題がないときもある。

- 20 導体層の厚み $\alpha 1$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であることがさらに望ましい。その範囲であれば、電源不足（電圧降下）による IC チップの誤動作やエラーなどが発生しないことが確認されている。

- 25 この場合のコア基板とは、ガラスエポキシ樹脂などの芯材が含浸した樹脂基板、セラミック基板、金属基板、樹脂、セラミック、金属を複合して用いた複合コア基板、それらの基板の内層に（電源用）導体層が設けられた基板、3 層以上の多層化した導体層が形成された多層コア基板を用いたもの等をさす。

電源層の導体の厚みを、厚くするために、金属を埋め込まれた基板上に、めっき、スパッタなどの一般的に行われる導体層を形成するプリント配線板の方法で形成したものを用いてもよい。

- 30 多層コア基板の場合であれば、コア基板の表層の導体層と内層の導体層をそ

れぞれ足した厚みが、コアの導体層の厚みとなる。この場合、表層の導体層と内層の導体層とが電氣的な接続があり、かつ、2箇所以上での電氣的な接続があるものであるときに適用される。つまり、多層化しても、コア基板の導体層の厚みを厚くすることが本質であり、効果自体はなんら変わらないのである。

- 5 また、パッド、ランド程度の面積であれば、その面積の導体層の厚みは、足した厚みとはならない。導体層とは、電源層あるひはアース層であることが望ましい。

この場合は、3層（表層＋内層）からなるコア基板でもよい。3層以上の多層コア基板でもよい。

- 10 必要に応じて、コア基板の内層にコンデンサや誘電体層、抵抗などの部品を埋め込み、形成させた電子部品収納コア基板を用いてもよい。

さらに、コア基板の内層の導体層を厚くしたとき、ICチップの直下に該当の導体層を配置したほうがよい。ICチップの直下に配設させることにより、ICチップと電源層との距離を最短にすることができ、そのために、よりルー
15 プインダクタンスを低減することができるのである。そのためにより効率よく電源供給がなされることとなり、電圧不足が解消されるのである。このときも、コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることが望ましい。

- 20 本願発明でのコア基板とは、以下のように定義される。芯材等が含浸された樹脂などの硬質基材であり、その両面もしくは片面に、芯材などを含まない絶縁樹脂層を用いて、フォトリソもしくはレーザによりパイアホールを形成して、導体層を形成して、層間の電気接続を行うときのものである。相対的に、コア基板の厚みは、樹脂絶縁層の厚みよりも厚い。基本的には、コア基板は電源層を主とする導体層が形成されて、その他信号線などは表裏の接続を行うためだけ
25 けに形成されている。

なお、同一厚みの材料で形成されたもので、積層された多層プリント配線板であるならば、プリント基板における導体層として電源層を有する層もしくは基板をコア基板として定義される。

- 30 更に、多層コア基板は、内層に相対的に厚い導体層を、表層に相対的に薄い導体層を有し、内層の導体層が、主として電源層用の導体層又はアース用の導

体層であることが好適である。(相対的に厚い、薄いとは、全ての導体層の厚みを比較して、その傾向がある場合、この場合は、内層は他の導体層と比較すると相対的に厚いということとなり、表層はその逆であるということを示している。)

- 5 即ち、内層側に厚い導体層を配置させることにより、その厚みを任意に変更したとしても、その内層の導体層を覆うように、樹脂層を形成させることが可能となるため、コアとしての平坦性が得られる。そのため、層間絶縁層の導体層にうねりを生じさせることがない。多層コア基板の表層に薄い導体層を配置しても、内層の導体層と足した厚みでコアの導体層として十分な導体層の厚みを
- 10 確保することができる。これらを、電源層用の導体層又はアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

- コア基板の内層の導体層の厚みを、層間絶縁層上の導体層よりも厚くする。これにより、多層コア基板の表面に導体層を配置しても、内層の厚い導体層と
- 15 足すことで、コアの導体層として十分な厚みを確保できる。つまり、大容量の電源が供給されたとしても、問題なく、起動することができるため、誤作動や動作不良を引き起こさない。このときも、コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることが望ましい。

- 20 多層コア基板にしたとき、内層の導体層は、導体層の厚みを相対的に厚くし、かつ、電源層として用いて、表層の導体層は、内層の導体層を挟むようにし、形成され、かつ、信号線として用いられている場合であることも望ましい。この構造により、前述の電源強化を図ることができる。

- さらに、コア基板内で導体層と導体層との間に信号線を配置することでマイ
- 25 クロストリップ構造を形成させることができるために、インダクタンスを低下させ、インピーダンス整合を取ることができるのである。そのために、電気特性も安定化することができるのである。また、表層の導体層を相対的に薄くすることがさらに望ましい構造となるのである。コア基板は、スルーホールピッチを $600 \mu\text{m}$ 以下にしてもよい。

- 30 多層コア基板は、電氣的に接続された金属板の両面に、樹脂層を介在させて

内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層が形成されて成ることが好適である。中央部に電氣的に隔絶された金属板を配置することで、十分な機械的強度を確保することができる。更に、金属板の両面に樹脂層を介在させて内層の導体層を、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層を形成することで、金属板の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

第24図は、縦軸にICチップへ供給される電圧、横軸には時間経過を示している。第24図は、1GHz以上の高周波ICチップ電源用のコンデンサを備えないプリント配線板をモデルにしたものである。線Aは、1GHzのICチップへの電圧の経時変化を示したものであり、線Bは、3GHzのICチップへの電圧の経時変化を示したものである。その経時変化は、ICチップが起動し始めたとき、瞬時に大量の電源が必要となる。その供給が不足していると電圧が降下する(X点、X'点)。その後、供給する電源が徐々に充足されるので、電圧効果は解消される。しかしながら、電圧が降下したときには、ICチップの誤作動やエラーを引き起こしやすくなる。つまり、電源の供給不足によるICチップの機能が十分に機能、起動しないがために起こる不具合である。この電源不足(電圧降下)はICチップの周波数は増えるにつれて、大きくなっていく。そのために、電圧降下を解消するためには、時間が掛かってしまい、所望の機能、起動を行うために、タイムラグが生じてしまう。

前述の電源不足(電圧降下)を補うために、外部のコンデンサと接続させて、該コンデンサ内に蓄積された電源を放出することにより、電源不足もしくは電圧降下を小さくすることができる。

第25図には、コンデンサを備えたプリント基板をモデルにしたものである。線Cは、小容量のコンデンサを実装して、1GHzのICチップにおける電圧の経時変化を示したものである。コンデンサを実装していない線Aに比べると電圧降下の度合いが小さくなってきている。さらに、線Dは、線Cで行ったものに比べて大容量のコンデンサを実装して、線C同様に経時変化を示したものである。さらに線Cと比較しても、電圧降下の度合いが小さくなってきている。それにより、短時間で所望のICチップも機能、起動を行うことができるので

ある。しかしながら、第24図に示したように、ICチップがより高周波領域になると、より多くのコンデンサ容量が必要になってしまい、そのためにコンデンサの実装する領域を設定する必要となるため、電圧の確保が困難になってしまい、動作、機能を向上することができないし、高密度化という点でも難しくなってしまう。

5 コア基板の導体層および電源の導体層の厚み $\alpha 1$ 、層間絶縁層上の導体層の厚み $\alpha 2$ としたときグラフを第26図に示す。第26図中に、線Cは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = \alpha 2$ における電圧の経時変化を示している。また、線Fは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 1.5 \alpha 2$ における電圧の経時変化を示し、線Eは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha 1 = 2.0 \alpha 2$ における電圧の経時変化を示している。コアの導体層の厚みが厚くなるにつれて、電源不足もしくは電圧降下が小さくなってきている。そのために、ICチップの機能、動作の不具合の発生が少なくなるということがいえる。

10 コア基板の導体層および電源層の導体層の厚みを厚くすることにより、導体層の体積が増すことになる。体積が増すと導体抵抗が低減させるので、伝達される電源における電圧、電流への損失がなくなる。そのために、ICチップ～電源間での伝達損失が小さくなり、電源の供給が行われるので、誤動作やエラーなどを引き起こさない。この場合は、特に電源層の導体層の厚みによる要因が大きく、コア基板における電源層の導体層の厚みを他の層間絶縁層上の導体回路よりも厚くすることにより、その効果を奏する。

また、コア基板の片面もしくは両面の表層の形成された導体層および電源の導体層を厚くした場合だけでなく、3層以上の多層コア基板にした場合、内層に導体層あるいは内層に電源層用の導体層を形成したコア基板にした場合でも同様の効果を奏することがわかった。つまり、電源不足もしくは電圧降下を小さくする効果があるのである。なお、多層コア基板の場合は、コア基板のすべての層の導体層および電源層の導体層の厚みが、層間絶縁層上の導体層の厚みよりも厚いときでも、コア基板のすべての層の導体層および電源層の導体層の厚みが、層間絶縁層上の導体層の厚みと同等もしくはそれ以下のときでも、全

25

30

ての層の導体の厚みを足した厚みの総和が、層間絶縁層上の導体層の厚みより、

厚くなったときに、その効果を奏する。この場合は、それぞれの導体層の面積の差がない。つまり、ほぼ同一な面積比である場合に、その効果を奏する。例えば、2層の導体層において、片方がベタ層の大面積であるのに対して、もう一方は、パイアホール及びそのランド程度である場合には、もう一方の層の導体層の効果は相殺されてしまう。

さらに、コア基板内にコンデンサや誘電体層、抵抗などの電子部品を内蔵した基板であっても、その効果は顕著に表れる。内蔵させることにより、ICチップとコンデンサもしくは誘電体層との距離を短くすることができる。そのために、ループインダクタンスを低減することができる。電源不足もしくは電圧降下を小さくすることができる。例えば、コンデンサや誘電体層を内蔵したコア基板においても、コアの基板の導体層および電源層の導体層の厚みを層間絶縁層上の導体層の厚みよりも厚くすることにより、メインの電源と内蔵されたコンデンサや誘電体層の電源との双方の導体抵抗を減らすことができるので、伝達損失を低減することができ、コンデンサを内蔵した基板の効果をいっそう発揮されるようになる。

コア基板の材料は、樹脂基板で検証を行ったが、セラミック、金属コア基板でも同様の効果を奏することがわかった。また、導体層の材質も銅からなる金属で行ったが、その他の金属でも、効果が相殺されて、誤動作やエラーが発生が増加するということは確認されていないことから、コア基板の材料の相違もしくは導体層を形成する材質の相違には、その効果の影響はないものと思われる。より望ましいのは、コア基板の導体層と層間絶縁層の導体層とは、同一金属で形成されることである。電気特性、熱膨張係数などの特性や物性が変わらないことから、本願の効果を奏される。

25 図面の簡単な説明

第1図は、本発明の第1実施例の多層プリント配線板を製造方法を示す工程図である。

第2図は、第1実施例の多層プリント配線板を製造方法を示す工程図である。

第3図は、第1実施例の多層プリント配線板を製造方法を示す工程図である。

30 第4図は、第1実施例の多層プリント配線板を製造方法を示す工程図である。

第5図は、第1実施例の多層プリント配線板を製造方法を示す工程図である。

第6図は、第1実施例に係る多層プリント配線板の断面図である。

第7図は、第1実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

5 第8図は、第3実施例に係る多層プリント配線板の断面図である。

第9図は、第3実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

第10図は、第4実施例に係る多層プリント配線板の断面図である。

10 第11図は、第4実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

第12図は、本発明の第5実施例の多層プリント配線板を製造方法を示す工程図である。

第13図は、第5実施例の多層プリント配線板を製造方法を示す工程図である。

15 第14図は、第5実施例の多層プリント配線板を製造方法を示す工程図である。

第15図は、第5実施例の多層プリント配線板を製造方法を示す工程図である。

20 第16図は、第5実施例の多層プリント配線板を製造方法を示す工程図である。

第17図は、第5実施例の多層プリント配線板を製造方法を示す工程図である。

第18図は、第5実施例の多層プリント配線板を製造方法を示す工程図である。

25 第19図は、第5実施例に係る多層プリント配線板の断面図である。

第20図は、第5実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

第21図は、第5実施例の変形例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

30 第22図は、第6実施例に係る多層プリント配線板の断面図である。

第23図は、第6実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

第24図は、ICチップの動作中における電圧変化を示したグラフである。

第25図は、ICチップの動作中における電圧変化を示したグラフである。

5 第26図は、ICチップの動作中における電圧変化を示したグラフである。

第27図は、実施例と比較例との試験結果を示す図表である。

第28図は、実施例と比較例との試験結果を示す図表である。

第29図は、(コアの電源層厚み/層間絶縁層厚みの比)に対する最大電圧降下量(V)をシュミレートした結果を示したグラフである。

10

発明を実施するための最良の形態

[第1実施例] ガラスエポキシ樹脂基板

15 先ず、本発明の第1実施例に係る多層プリント配線板10の構成について、第1図～第7図を参照して説明する。第6図は、該多層プリント配線板10の断面図を、第7図は、第6図に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。第6図に示すように、多層プリント配線板10では、コア基板30の表面に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、
20 アース用のプレーン層として形成されている。コア基板30の表面と裏面とはスルーホール36を介して接続されている。更に、該導体層34P、34Eの上にバイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層にはソル
25 ダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

30 第7図中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンプ76Dは、ドータボード94の

- 12 -

ランド 9 6 へ接続されている。

ここで、コア基板 3 0 上の導体層 3 4 P、3 4 E は、厚さ 1 ~ 2 5 0 μm に形成され、層間樹脂絶縁層 5 0 上の導体回路 5 8 及び層間樹脂絶縁層 1 5 0 上の導体回路 1 5 8 は 5 ~ 2 5 μm (望ましい範囲 1 0 ~ 2 0 μm) に形成されている。

第 1 実施例の多層プリント配線板では、コア基板 3 0 の電源層 (導体層) 3 4 P、導体層 3 4 E が厚くなることにより、コア基板の強度が増す、それによりコア基板自体の厚みを薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

また、導体層 3 4 P、3 4 E を厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗が低減することができる。

更に、導体層 3 4 P を電源層として用いることで、I C チップ 9 0 への電源の供給能力が向上させることができる。そのため、該多層プリント基板上に I C チップを実装したときに、I C チップ ~ 基板 ~ 電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域の I C チップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層 3 4 E をアース層として用いることで、I C チップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。

引き続き、第 6 図を参照して上述した多層プリント配線板 1 0 の製造方法について第 1 図 ~ 第 5 図を参照して説明する。

(第 1 実施例 - 1)

A. 層間樹脂絶縁層の樹脂フィルムの作製ビスフェノール A 型エポキシ樹脂 (エポキシ当量 4 5 5、油化シェルエポキシ社製エピコート 1 0 0 1) 2 9 重量部、クレゾールノボラック型エポキシ樹脂 (エポキシ当量 2 1 5、大日本インキ化学工業社製 エピクロン N - 6 7 3) 3 9 重量部、トリアジン構造含有フェノールノボラック樹脂 (フェノール性水酸基当量 1 2 0、大日本インキ化学工業社製 フェノライト K A - 7 0 5 2) 3 0 重量部をエチルジグリコールア

セテート 20 重量部、ソルベントナフサ 20 重量部に攪拌しながら加熱溶解させ、そこへ末端エポキシ化ポリブタジエンゴム（ナガセ化成工業社製 デナレックス R-45 EPT）15 重量部と 2-フェニル-4, 5-ビス（ヒドロキシメチル）イミダゾール粉末品 1.5 重量部、微粉末シリカ 2.5 重量部、シリコン系消泡剤 0.5 重量部を添加しエポキシ樹脂組成物を調製した。

得られたエポキシ樹脂組成物を厚さ 38 μm の PET フィルム上に乾燥後の厚さが 50 μm となるようにロールコーターを用いて塗布した後、80～120℃で10分間乾燥させることにより、層間樹脂絶縁層用樹脂フィルムを作製した。

10 B. 樹脂充填材の調製

ビスフェノール F 型エポキシモノマー（油化シェル社製、分子量：310、YL983U）100 重量部、表面にシランカップリング剤がコーティングされた平均粒径が 1.6 μm で、最大粒子の直径が 15 μm 以下の SiO_2 球状粒子（アドテック社製、CRS 1101-CE）170 重量部およびレベリング剤（サンノブコ社製 ペレノール S4）1.5 重量部を容器にとり、攪拌混合することにより、その粘度が 23±1℃で 44～49 Pa・s の樹脂充填材を調製した。なお、硬化剤として、イミダゾール硬化剤（四国化成社製、2E4MZ-CN）6.5 重量部を用いた。充填材用樹脂としては、他のエポキシ樹脂（例えば、ビスフェノール A 型、ノボラック型など）、ポリイミド樹脂、フェノール樹脂などの熱硬化性樹脂を用いてもよい。

20 C. 多層プリント配線板の製造

（1）厚さ 0.2～0.8 mm のガラスエポキシ樹脂または BT（ビスマレイミドトリアジン）樹脂からなる絶縁性基板 30 の両面に 5～250 μm の銅箔 32 がラミネートされている銅張積層板 30A を出発材料とした（第 1 図（A））。まず、この銅張積層板をドリル削孔し、無電解めっき処理および電解めっき処理を施し、パターン状にエッチングすることにより、基板の両面に導体回路 34、導体層 34P、34E とスルーホール 36 を形成した（第 1 図（B））。

（2）スルーホール 36 および下層導体回路 34 を形成した基板 30 を水洗いし、乾燥した後、NaOH（10 g/l）、NaClO₂（40 g/l）、N

- 14 -

a3 P O4 (6 g/l) を含む水溶液を黒化浴 (酸化浴) とする黒化処理、および、NaOH (10 g/l)、NaBH₄ (6 g/l) を含む水溶液を還元浴とする還元処理を行い、そのスルーホール 36 内に粗化面 36 α を形成すると共に、導体回路 34、導体層 34 P、34 E の全表面に粗化面 34 α を形成した (第 1 図 (C))。

(3) 上記 B に記載した樹脂充填材を調製した後、下記の方法により調製後 24 時間以内に、スルーホール 36 内、および、基板の導体回路非形成部に樹脂充填材 40 の層を形成した (第 1 図 (D))。

即ち、スルーホールおよび導体回路非形成部に相当する部分が開口した版を有する樹脂充填用マスクを基板上に載置し、スキージを用いてスルーホール内、凹部となっている下層導体回路非形成部、および、下層導体回路の外縁部に樹脂充填材を充填し、100℃/20 分の条件で乾燥させた。

(4) 上記 (3) の処理を終えた基板の片面を、#600 のベルト研磨紙 (三共理化学製) を用いたベルトサンダー研磨により、導体層 34 P、34 E の外縁部やスルーホール 36 のランドの外縁部に樹脂充填材 40 が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くため、導体層 34 P、34 E の全表面 (スルーホールのランド表面を含む) にバフ研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100℃で 1 時間、150℃で 1 時間の加熱処理を行って樹脂充填材 40 を硬化した (第 2 図 (A))。

このようにして、スルーホール 36 や導体回路非形成部に形成された樹脂充填材 40 の表層部および導体層 34 P、34 E の表面を平坦化し、樹脂充填材 40 と導体層 34 P、34 E の側面とが粗化面を介して強固に密着し、またスルーホール 36 の内壁面と樹脂充填材とが粗化面を介して強固に密着した基板を得た。即ち、この工程により、樹脂充填材の表面と下層導体回路の表面とが略同一平面となる。

コア基板の導体層の厚みはコア基板の導体層の厚みは 1 ~ 250 μm の間で形成されて、コア基板上に形成された電源層の導体層の厚みは、1 ~ 250 μm の間で形成された。このとき、実施例 1-1 では、銅箔の厚み 40 μm のものを用いて、コア基板の導体層の厚みは 30 μm、コア基板上に形成された電

- 15 -

源層の導体層の厚みは $30\mu\text{m}$ であった。しかしながら、導体層の厚みは上記厚みの範囲を超えてもよい。

(5) 上記基板を水洗、酸性脱脂した後、ソフトエッチングし、次いで、エッチング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36のランド表面と内壁とをエッチングすることにより、導体回路の全表面に粗化面36 β を形成した(第2図(B))。エッチング液としては、イミダゾール銅(II)錯体10重量部、グリコール酸7.3重量部、塩化カリウム5重量部からなるエッチング液(メック社製、メックエッチボンド)を使用した。

10 (6) 基板の両面に、Aで作製した基板より少し大きめの層間樹脂絶縁層用樹脂フィルム50 γ を基板上に載置し、圧力0.45MPa、温度80℃、圧着時間10秒の条件で仮圧着して裁断した後、さらに、以下の方法により真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した(第2図(C))。すなわち、層間樹脂絶縁層用樹脂フィルムを基板上に、真空度15 67Pa、圧力0.47MPa、温度85℃、圧着時間60秒の条件で本圧着し、その後、170℃で40分間熱硬化させた。

(7) 次に、層間樹脂絶縁層上に、厚さ1.2mmの貫通孔が形成されたマスクを介して、波長10.4 μm のCO₂ガスレーザにて、ビーム径4.0mm、トップハットモード、パルス幅8.1 μs 、マスクの貫通孔の径1.0mm、20 1ショットの条件で層間樹脂絶縁層2に、直径60~100 μm の間でのバイアホール用開口50aを形成した(第2図(D))。今回は直径60 μm と75 μm で形成した。

(8) バイアホール用開口6を形成した基板を、60g/lの過マンガン酸を含む80℃の溶液に10分間浸漬し、層間樹脂絶縁層2の表面に存在するエポキシ樹脂粒子を溶解除去することにより、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に粗化面50 α を形成した(第2図(E))。25

(9) 次に、上記処理を終えた基板を、中和溶液(シブレイ社製)に浸漬してから水洗いした。

さらに、粗面化処理(粗化深さ3 μm)した該基板の表面に、パラジウム触媒30 を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内

- 16 -

壁面に触媒核を付着させた。すなわち、上記基板を塩化パラジウム ($PbCl_2$) と塩化第一スズ ($SnCl_2$) とを含む触媒液中に浸漬し、パラジウム金属を析出させることにより触媒を付与した。

- (10) 次に、以下の組成の無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ $0.3 \sim 3.0 \mu m$ の無電解銅めっき膜を形成し、
5 バイアホール用開口 50a の内壁を含む層間樹脂絶縁層 50 の表面に無電解銅めっき膜 52 が形成された基板を得た (第3図 (A))。

〔無電解めっき水溶液〕

	NiSO ₄	0.003 mol/l
10	酒石酸	0.200 mol/l
	硫酸銅	0.032 mol/l
	HCHO	0.050 mol/l
	NaOH	0.100 mol/l
	α, α' -ピピリジル	100 mg/l
15	ポリエチレングリコール (PEG)	0.10 g/l

〔無電解めっき条件〕

34℃の液温度で45分

- (11) 無電解銅めっき膜 52 が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、 $110 mJ/cm^2$ で露光し、0.8%炭酸ナトリウム水溶液で現像処理することにより、厚さ $25 \mu m$ のめっきレジスト 54 を設けた (第3図 (B))。
20

- (12) ついで、基板を 50℃の水で洗浄して脱脂し、25℃の水で水洗後、さらに硫酸で洗浄してから、以下の条件で電解めっきを施し、めっきレジスト 54 非形成部に、厚さ $20 \mu m$ の電解銅めっき膜 56 を形成した (第3図 (C))。
25

〔電解めっき液〕

	硫酸	2.24 mol/l
	硫酸銅	0.26 mol/l
	添加剤	19.5 ml/l
30	(アトテックジャパン社製、カバラシドGL)	

- 17 -

〔電解めっき条件〕

電流密度 1 A/dm²

時間 65 分

温度 22±2 °C

- 5 (13) さらに、めっきレジスト3を5% KOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッチング処理して溶解除去し、独立の導体回路58及びバイアホール60とした(第3図(D))。

- 10 (14) ついで、上記(5)と同様の処理を行い、導体回路58及びバイアホール60の表面に粗化面58 α 、60 α を形成した。上層の導体回路58の厚みは15 μ mの厚みであった(第4図(A))。ただし、上層の導体回路の厚みは、5～25 μ mの間で形成してもよい。

(15) 上記(6)～(14)の工程を繰り返すことにより、さらに上層の導体回路を形成し、多層配線板を得た(第4図(B))。

- 15 (16) 次に、ジエチレングリコールジメチルエーテル(DMDG)に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂(日本化薬社製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量:4000)45.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル社製、商品名:エピコート1001)16.0重量部、イミダゾール硬化剤(四国化成社製、商品名:2E4MZ-CN)1.6重量部、感光性モノマーである2官能アクリルモノマー(日本化薬社製、商品名:R604)4.5重量部、同じく多価アクリルモノマー(共栄化学社製、商品名:DPE6A)1.5重量部、分散系消泡剤(サンノプコ社製、S-65)0.71重量部を容器にとり、攪拌、混合
- 20 して混合組成物を調製し、この混合組成物に対して光重合開始剤としてベンゾフェノン(関東化学社製)1.8重量部、光増感剤としてのミヒラーケトン(関東化学社製)0.2重量部、を加えることにより、粘度を25℃で2.0 Pa·sに調整したソルダーレジスト組成物を得た。

- 25 なお、粘度測定は、B型粘度計(東京計器社製、DVL-B型)で60 min⁻¹の場合にはローターNo. 4、6 min⁻¹の場合にはローターNo. 3によった。
- 30

- 18 -

(17) 次に、多層配線基板の両面に、上記ソルダーレジスト組成物70を20 μm の厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後(第4図(C))、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000 mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200 μm の直径の開口71を形成した(第5図(A))。

そして、さらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが15~25 μm のソルダーレジストパターン層を形成した。上記ソルダーレジスト組成物としては、市販のソルダーレジスト組成物を使用することもできる。

(18) 次に、ソルダーレジスト層70を形成した基板を、塩化ニッケル(2.3 $\times 10^{-1}\text{mol/l}$)、次亜リン酸ナトリウム(2.8 $\times 10^{-1}\text{mol/l}$)、クエン酸ナトリウム(1.6 $\times 10^{-1}\text{mol/l}$)を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5 μm のニッケルめっき層72を形成した。さらに、その基板をシアン化金カリウム(7.6 $\times 10^{-3}\text{mol/l}$)、塩化アンモニウム(1.9 $\times 10^{-1}\text{mol/l}$)、クエン酸ナトリウム(1.2 $\times 10^{-1}\text{mol/l}$)、次亜リン酸ナトリウム(1.7 $\times 10^{-1}\text{mol/l}$)を含む無電解金めっき液に80℃の条件で7.5分間浸漬して、ニッケルめっき層72上に、厚さ0.03 μm の金めっき層74を形成した(第5図(B))。ニッケル-金層以外にも、スズ、貴金属層(金、銀、パラジウム、白金など)の単層を形成してもよい。

(19) この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、スズ-鉛を含有するはんだペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズ-アンチモンを含有するはんだペーストを印刷した後、200℃でリフローすることによりはんだバンプ(はんだ体)を形成し、はんだバンプ76U、76Dを有する多層プリント配線板を製造した(第6図)。

半田バンプ76Uを介してICチップ90を取り付け、チップコンデンサ98を実装する。そして、半田バンプ76Dを介してドータボード94へ取り付

ける（第7図）。

（第1実施例－2）

第6図を参照して上述した第1実施例－1と同様であるが以下の様に製造した。

コア基板の導体層の厚み：55 μm コア基板の電源層の厚み：55 μm

5 層間絶縁層の導体層の厚み：15 μm

（第1実施例－3）

第1実施例－1と同様であるが、以下のように製造した。

コア基板の導体層の厚み：75 μm コア基板の電源層の厚み：75 μm

層間絶縁層の導体層の厚み：15 μm

10 （第1実施例－4）

第1実施例と同様であるが、以下のように製造した。

コア基板の導体層の厚み：180 μm コア基板の電源層の厚み：180 μm

層間絶縁層の導体層の厚み：6 μm

（第1実施例－5）

15 第1実施例と同様であるが、以下のように製造した。

コア基板の導体層の厚み：18 μm コア基板の電源層の厚み：18 μm

層間絶縁層の導体層の厚み：15 μm

20 なお、第1実施例において、 $1 < (\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。また、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

[第2実施例]セラミック基板

25 第2実施例に係る多層プリント配線板について説明する。

第6図を参照して上述した第1実施例では、コア基板が絶縁樹脂で形成されていた。これに対して、第2実施例では、コア基板がセラミック、ガラス、ALN、ムライトなどからなる無機系硬質基板であるが、他の構成は第6図を参照して上述した第1実施例と同様であるため、図示及び説明は省略する。

30 第2実施例の多層プリント配線板においても、コア基板30上の導体層34

P、34P及びコア基板内の導体層24は、銅、タングステムなどの金属で形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は銅で形成されている。この第2実施例においても第1実施例と同様な効果を得ている。このとき、コア基板の導体層の厚み、コア基板の電源層の厚み、層間絶縁層の厚みも第1実施例と同様に形成された。また、第2実施例において、 $1 < (\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。また、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

10 (第2実施例-1)

上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み：30 μm コア基板の電源層の厚み：30 μm
層間絶縁層の導体層の厚み：15 μm

(第2実施例-2)

15 上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み：50 μm コア基板の電源層の厚み：50 μm
層間絶縁層の導体層の厚み：15 μm

(第2実施例-3)

上述した第2実施例と同様であるが以下の様に製造した。

20 コア基板の導体層の厚み：75 μm コア基板の電源層の厚み：75 μm
層間絶縁層の導体層の厚み：15 μm

(第2実施例-4)

上述した第2実施例と同様であるが以下の様に製造した。

25 コア基板の導体層の厚み：180 μm コア基板の電源層の厚み：180 μm
層間絶縁層の導体層の厚み：6 μm

[第3実施例] 金属コア基板

第8図及び第9図を参照して第3実施例に係る多層プリント配線板について説明する。

30 第6図を参照して上述した第1実施例では、コア基板が樹脂板で形成されて

いた。これに対して、第3実施例では、コア基板が金属板から成る。

第8図は、第3実施例に係る多層プリント配線板10の断面図を、第9図は、第8図に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。第8図に示すように、多層プリント配線板10では、コア基板30は金属板からなり、電源層として用いられる。コア基板30の両面には、バイアホール60及び導体回路58が配置された層間樹脂絶縁層50が形成され、層間樹脂絶縁層50の上には、バイアホール160及び導体回路158が配置された層間樹脂絶縁層150が形成されている。コア基板30の通孔33内には、スルーホール36が形成され、バイアホールの両端には蓋めつき層37が配置されている。該バイアホール160及び導体回路158の上層には溶剤レジスト層70が形成されており、該溶剤レジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンパ76U、76Dが形成されている。

第9図中に示すように、多層プリント配線板10の上面側のハンダバンパ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンパ76Dは、ドータボード94のランド96へ接続されている。

ここで、コア基板30は、200～600 μ mに形成されている。金属板の厚みは、15～300 μ mの間で形成された。層間絶縁層の導体層の厚みは、5～25 μ mの間で形成してもよい。しかしながら、金属層の厚みは上述の範囲を超えてもよい。

この第3実施例においても、第1実施例と同様な効果を得ている。

(第3実施例-1)

第8図を参照して上述した第3実施例と同様であるが以下のように設定した。

25 コア基板の厚み：550 μ m コア基板の電源層の厚み：35 μ m
層間絶縁層の導体層の厚み：15 μ m

(第3実施例-2)

第3実施例と同様であるが以下のように設定した。

30 コア基板の厚み：600 μ m コア基板の電源層の厚み：55 μ m
層間絶縁層の導体層の厚み：15 μ m

(第3実施例-3)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み：550 μm コア基板の電源層の厚み：100 μm

層間絶縁層の導体層の厚み：10 μm

5 (第3実施例-4)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み：550 μm コア基板の電源層の厚み：180 μm

層間絶縁層の導体層の厚み：6 μm

(第3実施例-5)

10 第3実施例と同様であるが以下のように設定した。

コア基板の厚み：550 μm コア基板の電源層の厚み：240 μm

層間絶縁層の導体層の厚み：6 μm

なお、第3実施例において、 $1 < (\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。また、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

15

[第4実施例]多層コア基板

20 第10図及び第11図を参照して第4実施例に係る多層プリント配線板について説明する。

第6図を参照して上述した第1実施例では、コア基板が単板で形成されていた。これに対して、第4実施例では、コア基板が積層板からなり、積層板内に導体層が設けられている。

25 第10図は、第4実施例に係る多層プリント配線板10の断面図を、第11図は、第10図に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。第10図に示すように、多層プリント配線板10では、コア基板30の表面及び裏面に導体回路34、導体層34Pが形成され、コア基板30内に導体層24が形成されている。導体層30 34P及び導体層24は、電源用のプレーン層として形成されている。導体層

3 4 Pと導体層 2 4とは導電ポスト 2 6により接続されている。(この場合の導電ポストとは、スルーホール、非貫通孔などのパイアホール(含むブラインドスルーホール、ブラインドパイアホール)スルーホールもしくはパイアホール導電性材料で充填したものの意味する。)更に、該導体層 3 4 Pの上にパイアホール 6 0及び導体回路 5 8の形成された層間樹脂絶縁層 5 0と、パイアホール 1 6 0及び導体回路 1 5 8の形成された層間樹脂絶縁層 1 5 0とが配置されている。該パイアホール 1 6 0及び導体回路 1 5 8の上層には溶剤レジスト層 7 0が形成されており、該溶剤レジスト層 7 0の開口部 7 1を介して、パイアホール 1 6 0及び導体回路 1 5 8にバンパ 7 6 U、7 6 Dが形成されている。

第 1 1 図中に示すように、多層プリント配線板 1 0の上面側のハンダバンパ 7 6 Uは、I Cチップ 9 0のランド 9 2へ接続される。更に、チップコンデンサ 9 8が実装される。一方、下側のハンダバンパ 7 6 Dは、ドータボード 9 4のランド 9 6へ接続されている。

ここで、コア基板 3 0上の導体回路 3 4、導体層 3 4 P、3 4 P及びコア基板内の導体層 2 4が形成され、層間樹脂絶縁層 5 0上の導体回路 5 8及び層間樹脂絶縁層 1 5 0上の導体回路 1 5 8が形成されている。コア基板の導体層 3 4 Pおよび導体層 2 4の厚みはコア基板の導体層の厚みは $1 \sim 250 \mu\text{m}$ の間で形成されて、コア基板上に形成された電源層としての役目を果たすの導体層の厚みは、 $1 \sim 250 \mu\text{m}$ の間で形成された。この場合の導体層の厚みは、コア基板の電源層の厚みの総和である。内層である導体層 3 4、表層である導体層 2 4、その双方を足したものであるという意味である。信号線の役目を果たしているものとを足すことではない。この第 4 実施例においても、3 層の導体層 3 4 P、3 4 P、2 4の厚みを合わせることで、第 1 実施例と同様な効果を得ている。電源層の厚みは上述の範囲を超えてもよい。

なお、第 4 実施例において、 $1 < (\text{コア基板の電源層の導体層の厚みの総和} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の導体層の厚みの総和} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。

$(\text{コア基板の電源層の導体層の厚みの総和} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

(第4実施例－1)

第10図を参照して上述した第4実施例と同様であるが以下のように設定した。

コア基板の導体層（電源層）の厚み：15 μm

5 中間導体層（電源層）の厚み：20 μm

コア基板の電源層の厚みの和：50 μm

層間絶縁層の導体層の厚み：15 μm

(第4実施例－2)

第4実施例と同様であるが、以下のように製造した。

10 コア基板の導体層（電源層）の厚み：20 μm

中間導体層（電源層）の厚み：20 μm

コア基板の電源層の厚みの和：60 μm

層間絶縁層の導体層の厚み：15 μm

(第4実施例－3)

15 第4実施例と同様であるが、以下のように製造した。

コア基板の導体層（電源層）の厚み：25 μm

中間導体層（電源層）の厚み：25 μm

コア基板の電源層の厚みの和：75 μm

層間絶縁層の導体層の厚み：15 μm

20 (第4実施例－4)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層（電源層）の厚み：50 μm

中間導体層（電源層）の厚み：100 μm

コア基板の電源層の厚みの和：200 μm

25 層間絶縁層の導体層の厚み：10 μm

(第4実施例－5)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層（電源層）の厚み：55 μm

中間導体層（電源層）の厚み：250 μm

30 コア基板の電源層の厚みの和：360 μm

- 25 -

層間絶縁層の導体層の厚み：12 μm

(第4実施例-6)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層(電源層)の厚み：55 μm

5 中間導体層(電源層)の厚み：250 μm

コア基板の電源層の厚みの和：360 μm

層間絶縁層の導体層の厚み：9 μm

[第5実施例] 多層コア基板

10 第12図～第20図を参照して本発明の第5実施例に係る多層プリント配線板について説明する。

15 先ず、第5実施例に係る多層プリント配線板10の構成について、第19図、第20図を参照して説明する。第19図は、該多層プリント配線板10の断面図を、第20図は、第19図に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。第19図に示すように、多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表面側に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、アース用のプレーン層として形成されている。更に、多層コア基板30の内部の表面側に、内層の導体回路16、導体層16E、裏面に導体回路16、導体層16Pが形成されている。上側の導体層16Eは、アース用のプレーン層として形成され、下側の導体層16Pは、電源用のプレーン層として形成されている。電源用のプレーン層との接続は、スルーホールやパイアホールにより行われる。プレーン層は、片側だけの単層25であっても、2層以上に配置したものでもよい。2層～4層で形成されることが望ましい。4層以上では電気的な特性の向上が確認されていないことからそれ以上多層にしてもその効果は4層と同等程度である。特に、2層で形成されることが、多層コア基板の剛性整合という点において基板の伸び率が揃えられるので反りが出にくいからである。多層コア基板30の中央には、電氣的に隔絶された金属板12が収容されている。(該金属板12は、心材としての役目30

も果たしているが、スルーホールやパイアホールなどどの電気な接続がされていない。主として、基板の反りに対する剛性を向上させているのである。) 該金属板 12 に、絶縁樹脂層 14 を介して表面側に、内層の導体回路 16、導体層 16 E、裏面に導体回路 16、導体層 16 P が、更に、絶縁樹脂層 18 を介して表面側に導体回路 34、導体層 34 P が、裏面に導体回路 34、導体層 34 E が形成されている。多層コア基板 30 は、スルーホール 36 を介して表面側と裏面側との接続が取られている。

多層コア基板 30 の表面の導体層 34 P、34 E の上には、パイアホール 60 及び導体回路 58 の形成された層間樹脂絶縁層 50 と、パイアホール 160 及び導体回路 158 の形成された層間樹脂絶縁層 150 とが配設されている。該パイアホール 160 及び導体回路 158 の上層にはソルダーレジスト層 70 が形成されており、該ソルダーレジスト層 70 の開口部 71 を介して、パイアホール 160 及び導体回路 158 にバンプ 76 U、76 D が形成されている。

第 20 図中に示すように、多層プリント配線板 10 の上面側のハンダバンプ 76 U は、IC チップ 90 のランド 92 へ接続される。更に、チップコンデンサ 98 が実装される。一方、下側の外部端子 76 D は、ドータボード 94 のランド 96 へ接続されている。この場合における外部端子とは、PGA、BGA、半田バンプ等を指している。

ここで、コア基板 30 表層の導体層 34 P、34 E は、厚さ $10 \sim 60 \mu\text{m}$ に形成され、内層の導体層 16 P、16 E は、厚さ $10 \sim 250 \mu\text{m}$ に形成され、層間樹脂絶縁層 50 上の導体回路 58 及び層間樹脂絶縁層 150 上の導体回路 158 は $10 \sim 25 \mu\text{m}$ に形成されている。

第 5 実施例の多層プリント配線板では、コア基板 30 の表層の電源層 (導体層) 34 P、導体層 34、内層の電源層 (導体層) 16 P、導体層 16 E および金属板 12 を厚くすることにより、コア基板の強度が増す。それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

また、導体層 34 P、34 E、導体層 16 P、16 E を厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体の抵抗を低減することができる。

- 27 -

更に、導体層 3 4 P、1 6 P を電源層として用いることで、I C チップ 9 0 への電源の供給能力が向上させることができる。そのため、該多層プリント基板上に I C チップを実装したときに、I C チップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域の I C チップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層 3 4 E、1 6 E をアース層として用いることで、I C チップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。コンデンサを実装することにより、コンデンサ内の蓄積されている電源を補助的に用いることができるので、電源不足を起しにくくなる。特に、I C チップの直下に配設させることにより、その効果（電源不足を起しにくくする）は顕著によくなる。その理由として、I C チップの直下であれば、多層プリント配線板での配線長を短くすることができるからである。

第 5 実施例では、多層コア基板 3 0 は、内層に厚い導体層 1 6 P、1 6 E を、表面に薄い導体層 3 4 P、3 4 E を有し、内層の導体層 1 6 P、1 6 E と表面の導体層 3 4 P、3 4 E とを電源層用の導体層、アース用の導体層として用いる。即ち、内層側に厚い導体層 1 6 P、1 6 E を配置しても、導体層を覆う樹脂層が形成されている。そのために、導体層が起因となって凹凸を相殺させることで多層コア基板 3 0 の表面を平坦にすることができる。このため、層間絶縁層 5 0、1 5 0 の導体層 5 8、1 5 8 にうねりを生じせしめないように、多層コア基板 3 0 の表面に薄い導体層 3 4 P、3 4 E を配置しても、内層の導体層 1 6 P、1 6 E と足した厚みでコアの導体層として十分な厚みを確保することができる。うねりが生じないために、層間絶縁層上の導体層のインピーダンスに不具合が起きない。導体層 1 6 P、3 4 P を電源層用の導体層として、導体層 1 6 E、3 4 E をアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

更に、コア基板内で導体層 3 4 P と導体層 1 6 P との間の信号線 1 6 （導体層 1 6 E と同層）を配置することでマイクロストリップ構造を形成させることができる。同様に、導体層 1 6 E と導体層 3 4 E との間の信号線 1 6 （導体層 1 6 P と同層）を配置することでマイクロストリップ構造を形成させることが

できる。マイクロストリップ構造を形成させることにより、インダクタンスも低下し、インピーダンス整合を取ることができるのである。そのために、電気特性も安定化することができる。

- 即ち、コア基板の内層の導体層 16 P、16 E の厚みを、層間絶縁層 50、
5 150 上の導体層 58、158 よりも厚くする。これにより、多層コア基板 30 の表面に薄い導体層 34 E、34 P を配置しても、内層の厚い導体層 16 P、16 E と足すことで、コアの導体層として十分な厚みを確保できる。その比率は、 $1 < (\text{コアの内層の導体層} / \text{層間絶縁層の導体層}) \leq 40$ であることが望ましい。1. $2 \leq (\text{コアの内層の導体層} / \text{層間絶縁層の導体層}) \leq 30$ であることがさらに望ましい。

- 多層コア基板 30 は、電氣的に隔絶された金属板 12 の両面に、樹脂層 14 を介在させて内層の導体層 16 P、16 E が、更に、当該内層の導体層 16 P、16 E の外側に樹脂層 18 を介在させて表面の導体層 34 P、34 E が形成されて成る。中央部に電氣的に隔絶された金属板 12 を配置することで、十分な
15 機械的強度を確保することができる。更に、金属板 12 の両面に樹脂層 14 を介在させて内層の導体層 16 P、16 E を、更に、当該内層の導体層 16 P、16 E の外側に樹脂層 18 を介在させて表面の導体層 34 P、34 E を形成することで、金属板 12 の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

- 20 第 21 図は、第 5 実施例の改変例を示している。この改変例では、IC チップ 90 の直下にコンデンサ 98 を配置してある。このため、IC チップ 90 とコンデンサ 98 との距離が近く、IC チップ 90 へ供給する電源の電圧降下を防ぐことができる。

- 引き続き、第 19 図に示す多層プリント配線板 10 の製造方法について第 1
25 2 図～第 18 図を参照して説明する。

(1) 金属層の形成

- 第 12 図 (A) に示す厚さ 50～400 μm の間の内層金属層 (金属板) 12 に、表裏を買通する開口 12 a を設ける (第 12 図 (B))。金属層の材質としては、銅、ニッケル、亜鉛、アルミニウム、鉄などの金属が配合されているものを
30 用いることができる。開口 12 a は、パンチング、エッチング、ドリ

リング、レーザなどによって穿設する。場合によっては、開口 1 2 a を形成した金属層 1 2 の全面に電解めっき、無電解めっき、置換めっき、スパッタによって、金属膜 1 3 を被覆してもよい（第 1 2 図（C））。なお、金属板 1 2 は、単層でも、2 層以上の複数層でもよい。また、金属膜 1 3 は、開口 1 2 a の角部において、曲面を形成するほうが望ましい。それにより、応力の集中するポイントがなくなり、その周辺でのクラックなどの不具合が引き起こしにくい。

（2）内層絶縁層の形成

金属層 1 2 の全体を覆い、開口 1 2 a 内を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み 30～200 μm 程度の B ステージ状の樹脂フィルムを金属板 1 2 で挟んでから、熱圧着してから硬化させ絶縁樹脂層 1 4 を形成することができる（第 1 2 図（D））。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。

材料としては、ポリイミド樹脂、エポキシ樹脂、フェノール樹脂、BT 樹脂等の熱硬化性樹脂をガラスクロス等の心材に含浸させたプリプレグを用いることが望ましい。それ以外にも樹脂を用いてもよい。

（3）金属箔の貼り付け

樹脂層 1 4 で覆われた金属層 1 2 の両面に、内層金属層 1 6 α を形成させる（第 1 2 図（E））。その一例として、厚み 12～275 μm の金属箔を積層させた。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで形成することもできる。

（4）内層金属層の回路形成

2 層以上にしてもよい。アディティブ法により金属層を形成してもよい。

テンティング法、エッチング工程等を経て、内層金属層 1 6 α から内層導体層 1 6、1 6 P、1 6 E を形成させた（第 1 2 図（F））。このときの内層導体層の厚みは、10～250 μm で形成させた。しかしながら、上述の範囲を超えてもよい。

（5）外層絶縁層の形成

内層導体層 1 6、1 6 P、1 6 E の全体を覆い、および外層金属その回路間の隙間を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚

み30～200 μ m程度のBステージ状の樹脂フィルムを金属板で挟んでから、熱圧着してから硬化させ、外層絶縁樹脂層18を形成する(第13図(A))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。加圧することで表面を平坦に

5 することができる。

(6) 最外層の金属箔の貼り付け

外層絶縁樹脂層18で覆われた基板の両面に、最外層の金属層34 β を形成させる(第13図(B))。その一例として、厚み10～275 μ mの金属箔を積層させる。金属箔を形成させる以外の方法として、片面銅張積層板を積層

10 させる。金属箔上に、めっきなどで2層以上にしてもよい。アディティブ法により金属層を形成してもよい。

(7) スルーホール形成

基板の表裏を貫通する開口径50～400 μ mのスルーホール用通孔36 α を形成する(第13図(C))。形成方法としては、ドリル、レーザもしくは

15 レーザとドリルの複合により形成させる(最外層の絶縁層の開口をレーザで行い、場合によっては、そのレーザでの開口をターゲットマークとして用いて、その後、ドリルで開口して貫通させる)。形状としては、直線状の側壁を有するものであることが望ましい。場合によっては、テーパ状であってもよい。

スルーホールの導電性を確保するために、スルーホール用通孔36 α 内にめ

20 っき膜22を形成し、表面を粗化した後(第13図(D))、充填樹脂23を充填することが望ましい(第13図(E))。充填樹脂としては、電気的な絶縁されている樹脂材料、(例えば 樹脂成分、硬化剤、粒子等が含有されているもの)、金属粒子による電気的な接続を行っている導電性材料(例えば、金、銅などの金属粒子、樹脂材料、硬化剤などが含有されているもの。)のいずれ

25 かを用いることができる。

めっきとしては、電解めっき、無電解めっき、パネルめっき(無電解めっきと電解めっき)などを用いることができる。金属としては、銅、ニッケル、コバルト、リン、等が含有してももので形成されるのである。めっき金属の厚みとしては、5～30 μ mの間で形成されることが望ましい。

30 スルーホール用通孔36 α 内に充填する充填樹脂23は、樹脂材料、硬化剤、

- 粒子などからなるものを絶縁材料を用いることが望ましい。粒子としては、シリカ、アルミナなどの無機粒子、金、銀、銅などの金属粒子、樹脂粒子などの単独もしくは複合で配合させる。粒径が0.1～5 μ mのものを同一径もしくは、複合径のものと混ぜたものを用いることができる。樹脂材料としては、エポキシ樹脂（例えば、ビスフェノール型エポキシ樹脂、ノボラック型エポキシ樹脂など）、フェノール樹脂などの熱硬化性樹脂、感光性を有する紫外線硬化樹脂、熱可塑性樹脂などが単一もしくは混合したものを用いることができる。硬化剤としては、イミダゾール系硬化剤、アミン系硬化剤などを用いることができる。それ以外にも、硬化安定剤、反応安定剤、粒子等を含まれていてもよい。
- 10 導電性材料を用いてもよい。この場合は、金属粒子、樹脂成分、硬化剤などからなるものが導電性材料である導電性ペーストとなる。場合によっては、半田、絶縁樹脂などの絶縁材料の表層に導電性を有する金属膜を形成したものなどを用いてもよい。めっきでスルーホール用通孔36a内を充填することも可能である。導電性ペーストは硬化収縮がなされるので、表層に凹部を形成してしまうことがあるからである。
- 15

(8) 最外層の導体回路の形成

- 全体にめっき膜を被覆することで、スルーホール36の直上に蓋めっき25を形成してもよい（第14図（A））。その後、テンティング法、エッチング工程等を経て、外層の導体回路34、34P、34Eを形成する（第14図（B））。これにより、多層コア基板30を完成する。
- 20

このとき、図示されていないが多層コア基板の内層の導体層16等との電気接続を、パイアホールやブラインドスルーホール、ブラインドパイアホールにより行ってもよい。

- その後の製造方法は、第1図（C）～第5図を参照して上述した第1実施例と同様に、多層コア基板30に層間樹脂絶縁層50、150、導体回路58、158を形成する。
- 25

(9) 導体回路34を形成した多層コア基板30を黒化処理、および、還元処理を行い、導体回路34、導体層34P、34Eの全表面に粗化面34 β を形成する（第14図（C））。

- 30 (10) 多層コア基板30の導体回路非形成部に樹脂充填材40の層を形成す

る（第15図（A））。

（11）上記処理を終えた基板の片面を、ベルトサンダー等の研磨により、導体層34P、34Eの外縁部に樹脂充填材40が残らないように研磨し、次いで、上記研磨による傷を取り除くため、導体層34P、34Eの全表面（スルーホール36のランド表面を含む）にバフ等でさらに研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100℃で1時間、150℃で1時間の加熱処理を行って樹脂充填材40を硬化した（第15図（B））。

また、導体回路間の樹脂充填を行わなくてもよい。この場合は、層間絶縁層などの樹脂層で絶縁層の形成と導体回路間の充填を行う。

（12）上記多層コア基板30に、エッチング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36のランド表面と内壁とをエッチング等により、導体回路の全表面に粗化面36βを形成した（第15図（C））。

（13）多層コア基板30の両面に、層間樹脂絶縁層用樹脂フィルム50γを基板上に載置し、仮圧着して裁断した後、さらに、真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した（第16図（A））。

（14）次に、層間樹脂絶縁層上に、厚さ1.2mmの貫通孔が形成されたマスクを介して、波長10.4μmのCO₂ガスレーザにて、ビーム径4.0mm、トップハットモード、パルス幅7.9μ秒、マスクの貫通孔の径1.0mm、1ショットの条件で層間樹脂絶縁層2に、直径80μmのバイアホール用開口50aを形成した（第16図（B））。

（15）多層コア基板30を、60g/lの過マンガン酸を含む80℃の溶液に10分間浸漬し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に粗化面50αを形成した（第15図（C））。粗化面は0.1～5μmの間で形成した。

（16）次に、上記処理を終えた多層コア基板30を、中和溶液（シブレイ社製）に浸漬してから水洗いした。さらに、粗面化処理（粗化深さ3μm）した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。

- 33 -

(17) 次に、無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ $0.6 \sim 3.0 \mu\text{m}$ の無電解銅めっき膜を形成し、パイアホール用開口 50a の内壁を含む層間樹脂絶縁層 50 の表面に無電解銅めっき膜 52 が形成された基板を得る (第 15 図 (D))。

5 (18) 無電解銅めっき膜 52 が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、現像処理することにより、めっきレジスト 54 を設けた (第 17 図 (A))。めっきレジストの厚みは、 $10 \sim 30 \mu\text{m}$ の間を用いた。

10 (19) ついで、多層コア基板 30 に電解めっきを施し、めっきレジスト 54 非形成部に、厚さ $5 \sim 20 \mu\text{m}$ の電解銅めっき膜 56 を形成した (第 17 図 (B))。

15 (20) さらに、めっきレジストを 5% 程度の KOH で剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッチング処理して溶解除去し、独立の導体回路 58 及びパイアホール 60 とした (第 17 図 (C))。

(21) ついで、上記 (12) と同様の処理を行い、導体回路 58 及びパイアホール 60 の表面に粗化面 58α 、 60α を形成した。上層の導体回路 58 の厚みは $5 \sim 25 \mu\text{m}$ で形成された。今回の厚みは $15 \mu\text{m}$ の厚みであった (第 17 図 (D))。

20 (22) 上記 (14) ~ (21) の工程を繰り返すことにより、さらに上層の導体回路を形成し、多層配線板を得た (第 18 図 (A))。

25 (23) 次に、多層配線基板の両面に、溶剤レジスト組成物 70 を $12 \sim 30 \mu\text{m}$ の厚さで塗布し、 70°C で 20 分間、 70°C で 30 分間の条件で乾燥処理を行った後 (第 18 図 (B))、溶剤レジスト開口部のパターンが描画された厚さ 5 mm のフォトマスクを溶剤レジスト層 70 に密着させて $1000 \text{ mJ}/\text{cm}^2$ の紫外線で露光し、DMTG 溶液で現像処理し、 $200 \mu\text{m}$ の直径の開口 71 を形成した (第 18 図 (C))。

30 そして、さらに、 80°C で 1 時間、 100°C で 1 時間、 120°C で 1 時間、 150°C で 3 時間の条件でそれぞれ加熱処理を行って溶剤レジスト層を硬化させ、開口を有し、その厚さが $10 \sim 25 \mu\text{m}$ の溶剤レジストパターン

層を形成した。

(24) 次に、ソルダーレジスト層70を形成した基板を、無電解ニッケルめっき液に浸漬して、開口部71に厚さ5 μ mのニッケルめっき層72を形成した。さらに、その基板を無電解金めっき液に浸漬して、ニッケルめっき層72上に、厚さ0.03 μ mの金めっき層74を形成した(第18図(D))。ニッケル-金層以外にも、スズ、貴金属層(金、銀、パラジウム、白金など)の単層を形成してもよい。

(25) この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、スズ-鉛を含有する半田ペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズ-アンチモンを含有する半田ペーストを印刷した後、200℃でリフローすることにより外部端子を形成し、はんだバンプを有する多層プリント配線板を製造した(第19図)。

半田バンプ76Uを介してICチップ90を取り付け、チップコンデンサ98を実装する。そして、外部端子76Dを介してドータボード94へ取り付ける(第20図)。

また、第5実施例において、 $1 < (\text{コア基板の電源層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。 $(\text{コア基板の電源層の厚み} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

(第5実施例-1)

第19図を参照して上述した第5実施例と同様であるが以下のように設定した。

コア基板の内層の導体層の厚み：50 μ m 表層の導体層の厚み：20 μ m

コア基板の導体回路の厚みの和：100 μ m

層間絶縁層の導体層の厚み：15 μ m

内層の導体層と表層の導体層で、電源層の役目を果たした。しかしながら、表層の導体層の面積は、ランド程度のものではあったので、内層の導体層と比較すると面積が小さかったので、電源を降下させる効果は相殺されてしまった。そのために、コア基板の導体層の厚みの和は、内層の2層の導体層を足したものである。

(第5実施例－2)

内層の導体層と表層の導体層で、電源層の役目を果たした。表層、内層の各一層ずつでのスルーホールにより、電気的な接続がなされた。

コア基板の内層の導体層の厚み：60 μm 外層の導体層の厚み：20 μm

5 コア基板の導体回路の厚みの和：80 μm

層間絶縁層の導体層の厚み：15 μm

内層の導体層と表層の導体層で、各1層ずつ電源層の役目を果たした。表層の導体層の面積は、内層の導体層の面積同じだった。電源を降下させる効果を有する。そのために、コア基板の導体層の厚みの和は、内層の導体層と表層の導

10 体層を足したものである。

(第5実施例－3)

内層の導体層と表層の導体層で、電源層の役目を果たした。表層、内層の各一層ずつでのスルーホールにより、電気的な接続がなされた。

コア基板の内層の導体層の厚み：75 μm 外層の導体層の厚み：20 μm

15 コア基板の導体回路の厚みの和：150 μm

層間絶縁層の導体層の厚み：15 μm

内層の導体層と表層の導体層で、電源層の役目を果たした。しかしながら、表層の導体層の面積は、ランド程度のものであったので、内層の導体層と比較すると面積が小さかったので、電源を降下させる効果は相殺されてしまった。そ

20 のために、コア基板の導体層の厚みの和は、内層1層の導体層の厚みである。

(第5実施例－4)

第5実施例－3と同様であるが、以下のように製造した。

コア基板の内層の導体層（電源層）の厚み：200 μm

表層の導体層（電源層）の厚み：20 μm

25 コア基板の導体回路の厚みの和：200 μm

層間絶縁層の導体層の厚み：10 μm

コア基板の導体回路の厚みの和は、内層の層の導体層を足したものである。

(第5実施例－5)

第5実施例－3と同様であるが、以下のように製造した。

30 コア基板の内層の導体層（電源層）の厚み：240 μm

- 36 -

表層の導体層（電源層）の厚み：20 μm

コア基板の導体回路の厚みの和：240 μm

層間絶縁層の導体層の厚み：8 μm

コア基板の導体回路の厚みの和は、内層の層の導体層を足したものである。

5 (第5実施例－6)

第5実施例－2と同様であるが、以下のように製造した。

コア基板の内層の導体層（電源層）の厚み：250 μm

表層の導体層（電源層）の厚み：25 μm

コア基板の導体回路の厚みの和：300 μm

10 層間絶縁層の導体層の厚み：7.5 μm

[第6実施例] コンデンサ内蔵コア基板

第22図及び第23図を参照して第6実施例に係る多層プリント配線板について説明する。

15 第6実施例の多層プリント配線板では、コア基板30にチップコンデンサ20が内蔵されている。

第22図は、第6実施例に係る多層プリント配線板10の断面図を、第23図は、第22図に示す多層プリント配線板10にICチップ90を取り付けた状態を示している。第22図に示すように、多層プリント配線板10では、コア基板30が樹脂基板30A及び樹脂層30Bからなる。樹脂基板30Aにはコンデンサ20を収容するための開口31aが設けられている。コンデンサ20の電極は、樹脂層30Bに設けられたバイアホール33により接続が取られている。コア基板30の上面には、導体回路34及び電源層を形成する導体層34Pが形成され、また、コア基板30の両面には、バイアホール60及び導体回路58が配置された層間樹脂絶縁層50が形成されている。コア基板30には、スルーホール36が形成されている。層間樹脂絶縁層50の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

30 第23図中に示すように、多層プリント配線板10の上面側のハンダバンプ

- 37 -

76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンプへの接続用の導電性接続ピン99が取り付けられている。

ここで、導体層34Eは、 $30\mu\text{m}$ に形成されている。この第6実施例においては、コア基板30内にコンデンサ20を内蔵するため、第1実施例を上回る効果が得られる。

(第6実施例-1)

第22図を参照して上述した第6実施例と同様であるが以下のように設定した。

10 コア基板の導体層の厚み： $30\mu\text{m}$ コア基板の電源層の厚み： $30\mu\text{m}$
層間絶縁層の導体層の厚み： $15\mu\text{m}$

(第6実施例-2)

第6実施例と同様であるが以下のように設定した。

15 コア基板の導体層の厚み： $55\mu\text{m}$ コア基板の電源層の厚み： $55\mu\text{m}$
層間絶縁層の導体層の厚み： $15\mu\text{m}$

(第6実施例-3)

コア基板の導体層の厚み： $75\mu\text{m}$ コア基板の電源層の厚み： $75\mu\text{m}$
層間絶縁層の導体層の厚み： $15\mu\text{m}$

(第6実施例-4)

20 第6実施例-1と同様であるが以下のように設定した。

コア基板の導体層(電源層)の厚み： $180\mu\text{m}$
層間絶縁層の導体層の厚み： $6.0\mu\text{m}$

(比較例)

25 第1実施例～第5実施例において、(コア基板の電源層の厚み/層間絶縁層の導体層の厚み) ≤ 1 を比較例とした。その実例として、コア基板の電源層の厚み： $15\mu\text{m}$ 、層間絶縁層の導体層の厚み： $15\mu\text{m}$ に設定した。

(参考例)

30 第1実施例～第5実施例において、(コア基板の電源層の厚み/層間絶縁層の導体層の厚み) ≤ 40 を参とした。その実例として、コア基板の電源層の厚

み：415 μm 、層間絶縁層の導体層の厚み：10 μm に設定した。

参考例とは、適合例と同様な効果を得ることができるが、それ以外で不具合が発生する恐れがあり、適合例よりも若干適合されないというものである。

5 それぞれの実施例と比較例と参考例の基板に周波数3.1GHzのICチップを実装して、同じ量の電源を供給して、起動させたときの電圧の降下した量を測定した。このときの電圧降下量での平均値を示した。電源電圧1.0Vのときの変動した電圧降下量の平均値である。

10 また、それぞれの実施例と比較例と参考例のバイアス高温高湿条件(130、湿度85wt%、2V印加)下における信頼性試験を行った。試験時間は、100hr、300hr、500hr、1000hrで行い、ICの誤動作の有無、コアの導体層のビア接続オープンの有無についてそれぞれ実施例および比較例について検証をした。この結果を第27図、第28図中の図表に表す。

15 さらに、導体層の厚みについても検証を行った。横軸に(コアの電源層厚み/層間絶縁層厚みの比)を設定し、縦軸に最大電圧降下量(V)を設定してシュミレートした結果を第29図に示した。

すべての実施例、比較例、参考例の測定結果を基に行っている。それ以外については、シュミレートで作成した。

第27図、第28図より、適合例で作成したものはICチップの誤動作やオープンなどなりにくい。つまり、電気接続性と信頼性が確保される。

20 比較例では、ICチップの誤動作を引き起こしてしまうため、電気接続性に問題があるし、導体の厚みが薄いため、信頼性試験下で発生した応力を緩衝できず、ビア接続部での剥がれが生じてしまった。そのために、信頼性が低下してしまった。しかしながら、コア基板の電源層の厚み/層間絶縁層の導体層の厚みの比1.2を越えると、その効果が現れてくる。

25 コア基板の電源層の厚み/層間絶縁層の導体層の厚み比40を越えると(参考例)、上層の導体回路における不具合(例えば、上層の導体回路への応力の発生やうねりによる密着性の低下を引き起こしてしまう等)のため、信頼性が低下してしまった。通常は問題ないが、材料等の要因によっては、その傾向が現れてしまうことがある。

30 試験の結果からも電気特性を満たすのは、 $1 <$ (コア基板の電源層の厚み/

層間絶縁層の導体層の厚み) である。また、電気特性と信頼性の要因を満たすのは、 $1 < (\text{コア基板の導体層の厚み} / \text{層間絶縁層の厚み}) \leq 40$ ということになる。

- 第27図、第28図の結果により、この場合、電源電圧1.0Vのとき、変動許容範囲 $\pm 10\%$ であれば、電圧の挙動が安定していることになり、ICチップの誤動作などを引き起こさない。つまり、この場合、電圧降下量が0.1V以内であれば、電圧降下によるICチップへの誤動作等を引き起こさないことになる。0.09V以下であれば、安定性が増すことになる。それ故に、(コア基板の電源層の厚み/層間絶縁層の厚み)の比が1.2を越えるの良のである。さらに、 $1.2 \leq (\text{コア基板の電源層の厚み} / \text{層間絶縁層の厚み}) \leq 40$ の範囲であれば、数値が減少傾向にあるため、その効果が得やすいということとなる。また、 $40 < (\text{コア基板の電源層の厚み} / \text{層間絶縁層の厚み})$ という範囲では、電圧降下量が上昇していることから、コア部分でのピア剥離などが原因で電圧供給に問題が起こっていることとなる。材料等の選定でピア剥離を抑えれば、上記問題は解決される。通常使用する範囲では問題にならない。

更に、 $5.0 < (\text{コア基板の電源層の厚み} / \text{層間絶縁層の厚み}) \leq 40$ 未満であれば、電圧降下量がほぼ同じであることから、安定しているということとなる。つまり、この範囲が、最も望ましい比率範囲であるということが言える。

- 本願発明により、ICチップ～基板～電源の導体における抵抗を低減させることができ、伝達損失が低減される。そのために、伝達される信号や電源が所望の能力が発揮される。そのために、ICチップの機能、動作などが正常に作動するために、誤作動やエラーを発生することがない。ICチップ～基板～アースの導体における抵抗を低減させることができ、信号線、電源線でのノイズの重畳を軽減し、誤作動やエラーを防ぐことができる。

- また、本願発明により、ICチップの初期起動時に発生する電源不足(電圧降下)の度合いを小さくなることもわかり、高周波領域のICチップ、特に3GHz以上のICチップを実装したとしても、問題なく起動することができることが分かった。そのため、電気的な特性や電気接続性をも向上させることができるのである。

- 40 -

さらに、プリント基板の回路内での抵抗を従来のプリント基板に比べても、小さくすることができる。そのために、バイアスを付加して、高温高湿下で行う信頼性試験（高温高湿バイアス試験）を行っても、破壊する時間も長くなるので、信頼性も向上することができる。

請 求 の 範 囲

1. コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して電気的な接続の行われる多層プリント配線板において、

5 前記コア基板上の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板。

2. コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して、電気的な接続が行われる多層プリント配線板において、

前記コア基板上の導体層の厚みを $\alpha 1$ 、層間絶縁層上の導体層の厚みを $\alpha 2$ に対して、 $\alpha 2 < \alpha 1 \leq 40 \alpha 2$ であることを特徴とする多層プリント配線板。

10 3. 前記 $\alpha 1$ は、 $1.2 \alpha 2 \leq \alpha 1 \leq 40 \alpha 2$ であることを特徴とする請求項1に記載の多層プリント配線板。

4. 前記コア基板の導体層は、電源層用の導体層又はアース用の導体層である請求項1～請求項3のいずれか1に記載の多層プリント配線板。

15 5. コンデンサが表面に実装されていることを特徴とする請求項1～請求項4のいずれか1に記載の多層プリント配線板。

6. コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して電気的な接続の行われる多層プリント配線板において、

前記コア基板が、内層に厚い導体層を有する3層以上の多層コア基板であって、

20 前記コア基板の内層の導体層と表面の導体層とが、電源層用の導体層又はアース用の導体層であることを特徴とする多層プリント配線板。

7. コア基板上に、層間絶縁層と導体層が形成されて、ビアホールを介して電気的な接続の行われる多層プリント配線板において、

25 前記コア基板が、内層に厚い導体層を有する3層以上の多層コア基板であって、

前記コア基板の内層の導体層は、電源層用の導体層又はアース用の導体層であり、表層の導体層は信号線からなることを特徴とする多層プリント配線板。

8. 前記コア基板の内層の導体層の厚みは、層間絶縁層上の導体層よりも厚いことを特徴とする請求項6または7に記載の多層プリント配線板。

30 9. 前記コア基板の内層の導体層は、2層以上である請求項6又は7に記載の

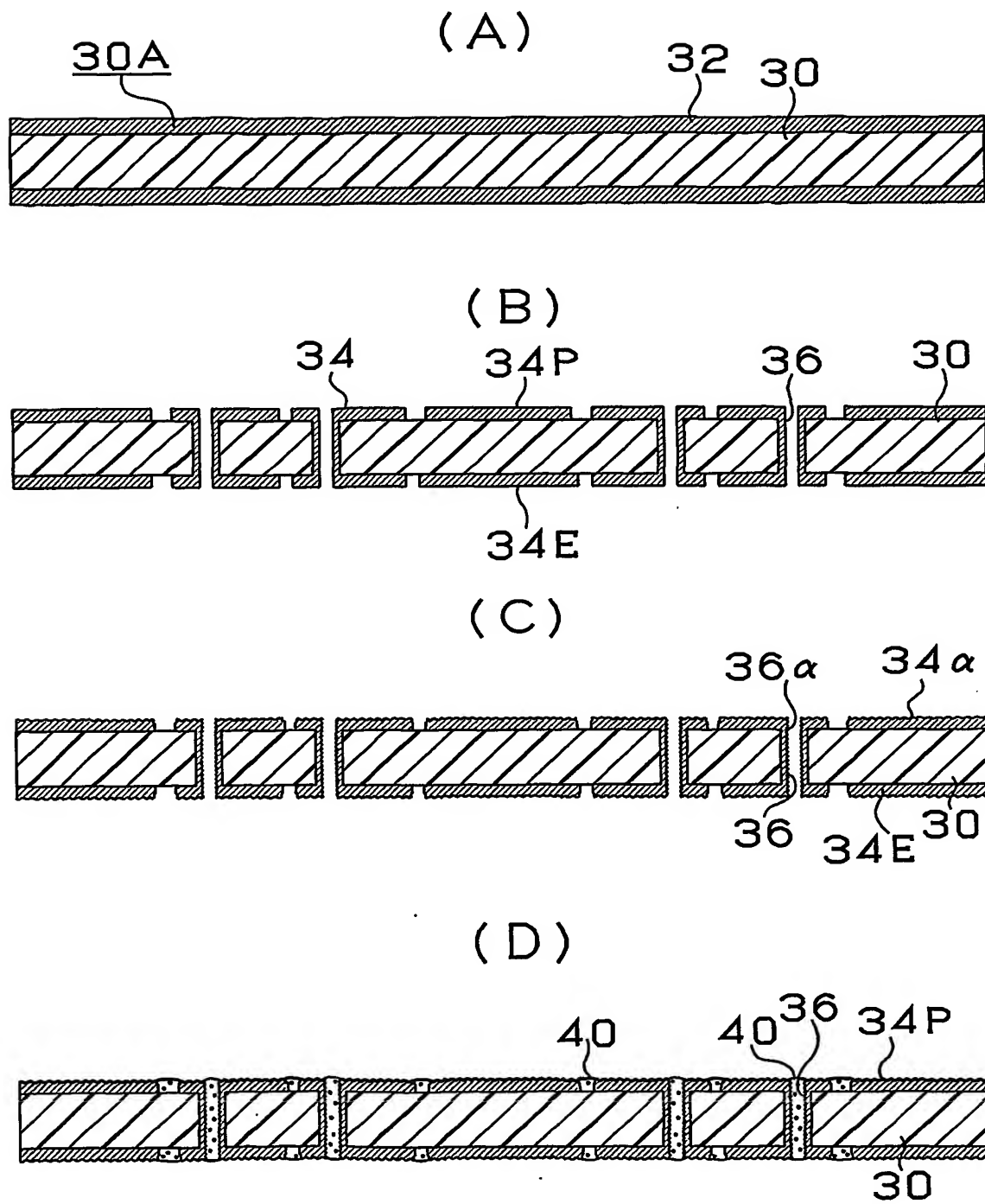
多層プリント配線板。

10. 前記コア基板は、電氣的に隔絶された金属板の両面に、樹脂層を介在させて前記内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて前記表面の導体層が形成されて成ることを特徴とする請求項6又は請求項7

5 の多層プリント配線板。

11. 前記コア基板は、内層に厚みの厚い導体層、表層に厚みの薄い導体層を備えることを特徴とする請求項6又は請求項7の多層プリント配線板。

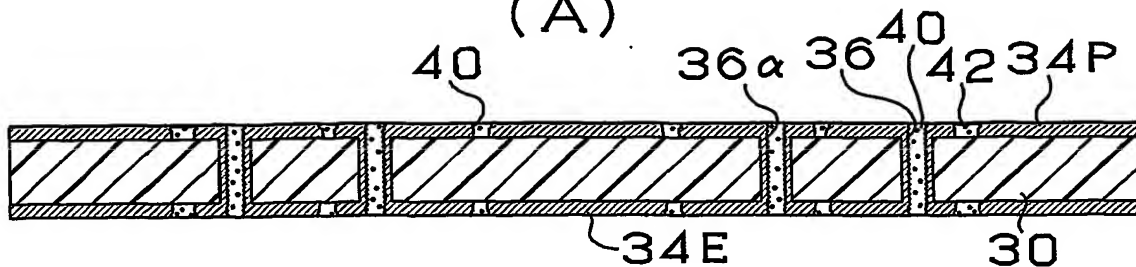
1/29
第1図



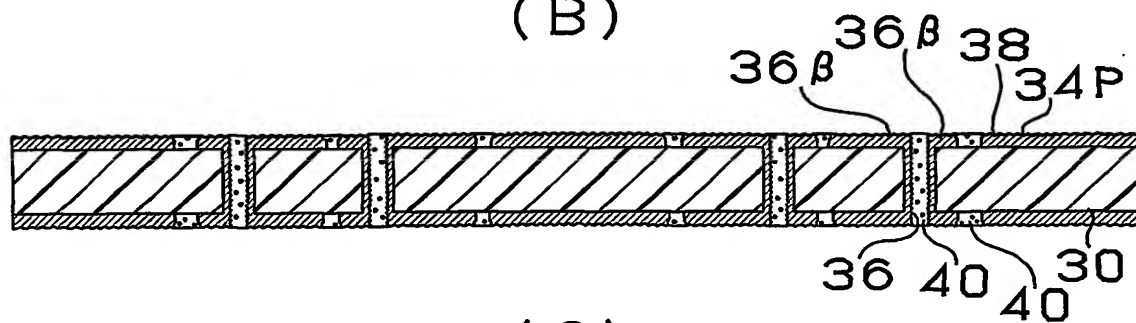
2/29

第2図

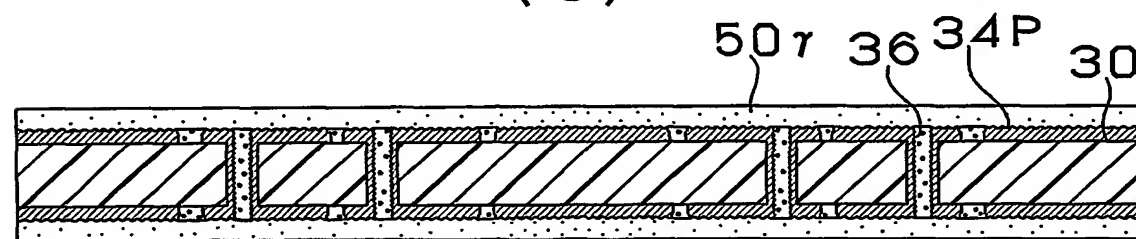
(A)



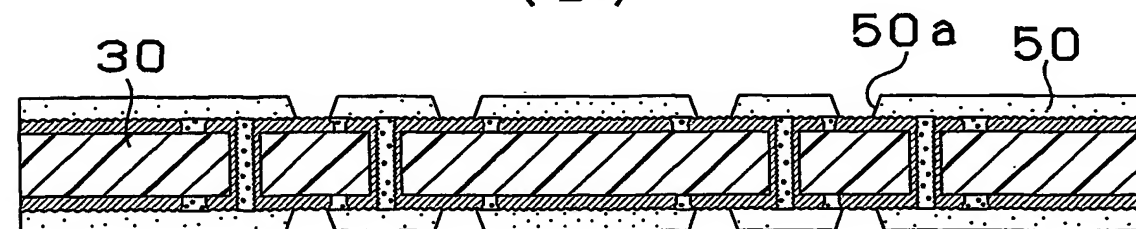
(B)



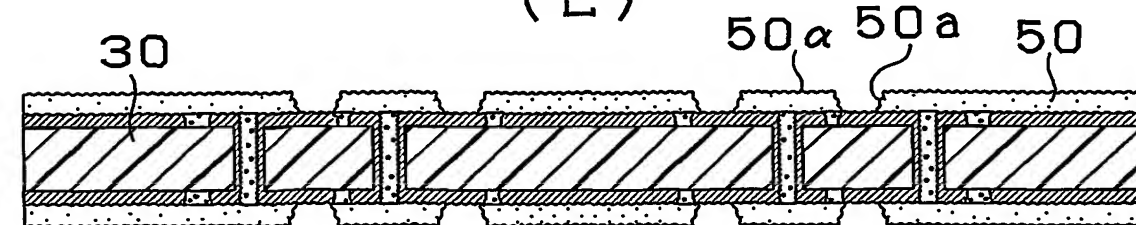
(C)



(D)

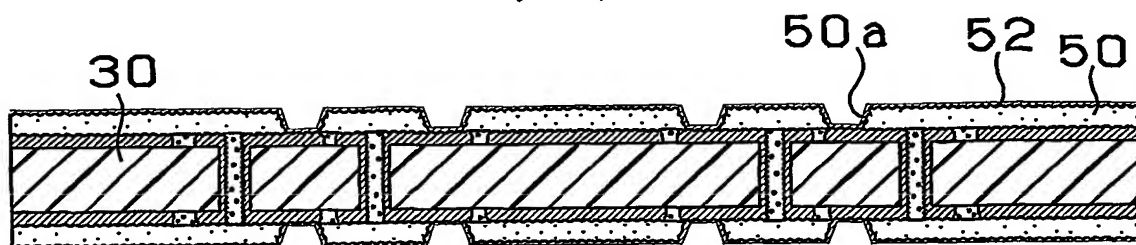


(E)

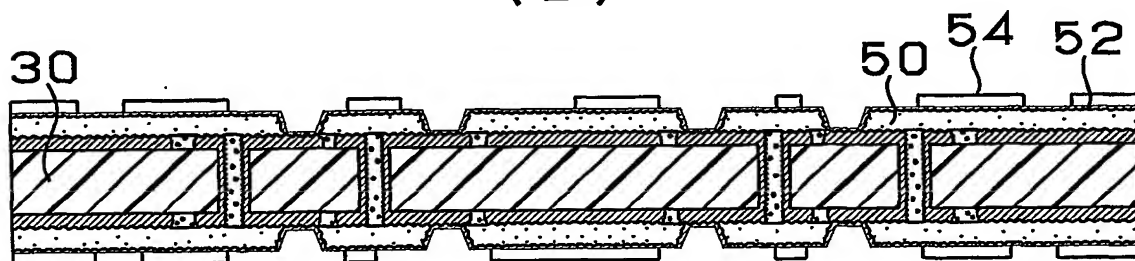


3/29
第3図

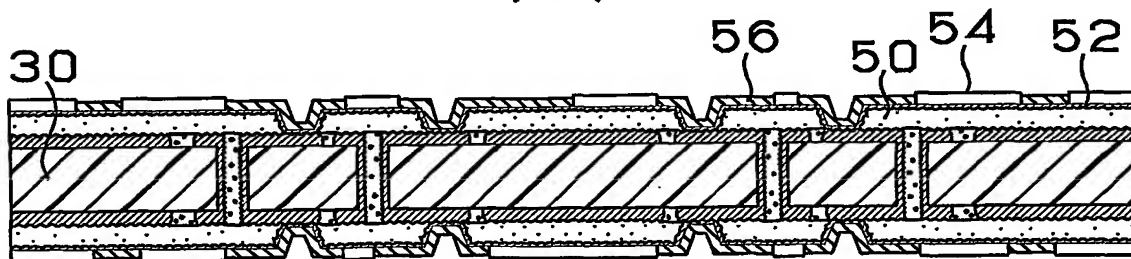
(A)



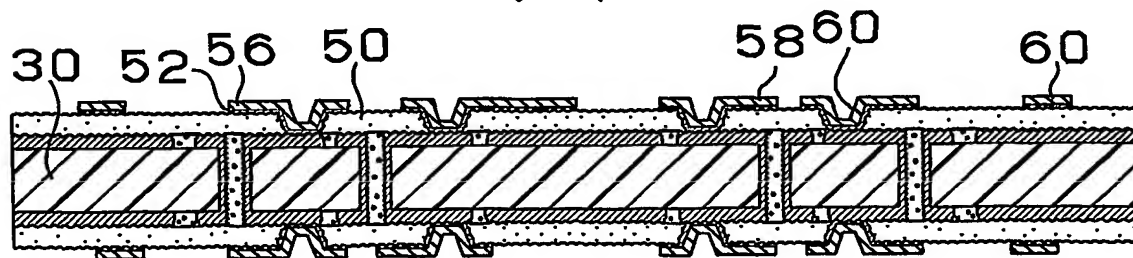
(B)



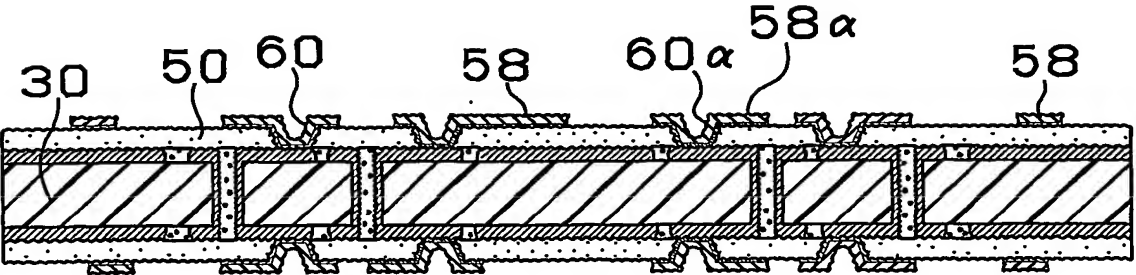
(C)



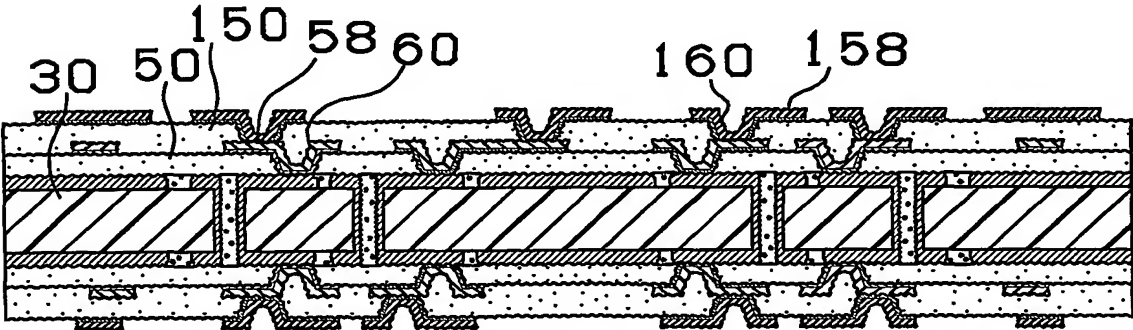
(D)



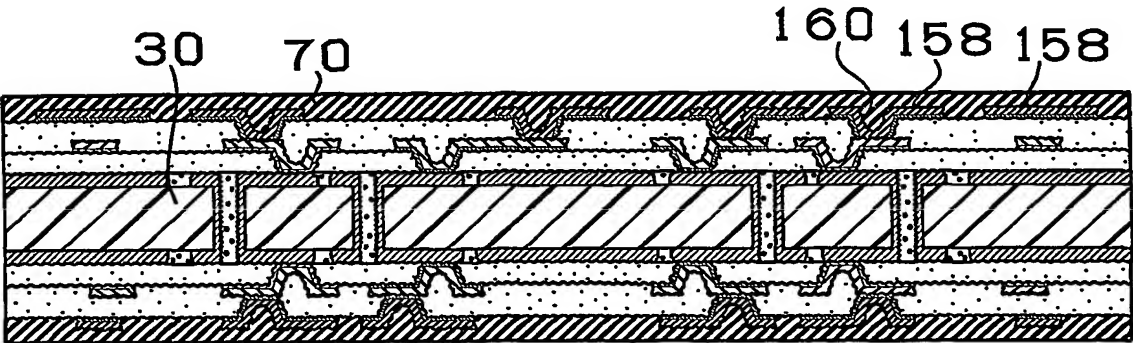
4/29
第4図
(A)



(B)

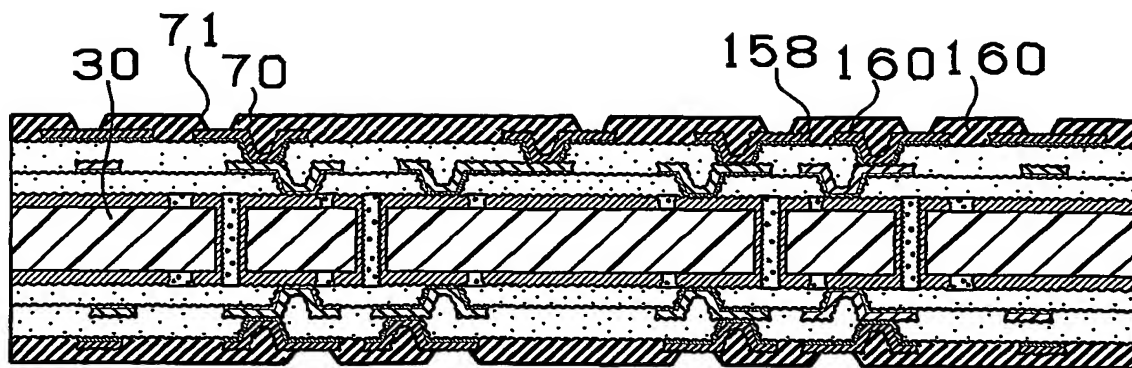


(C)

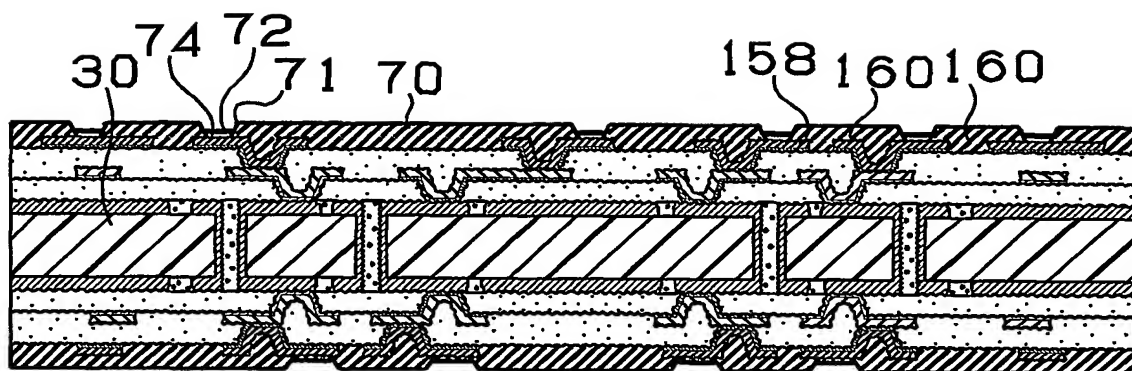


5/29
第5図

(A)

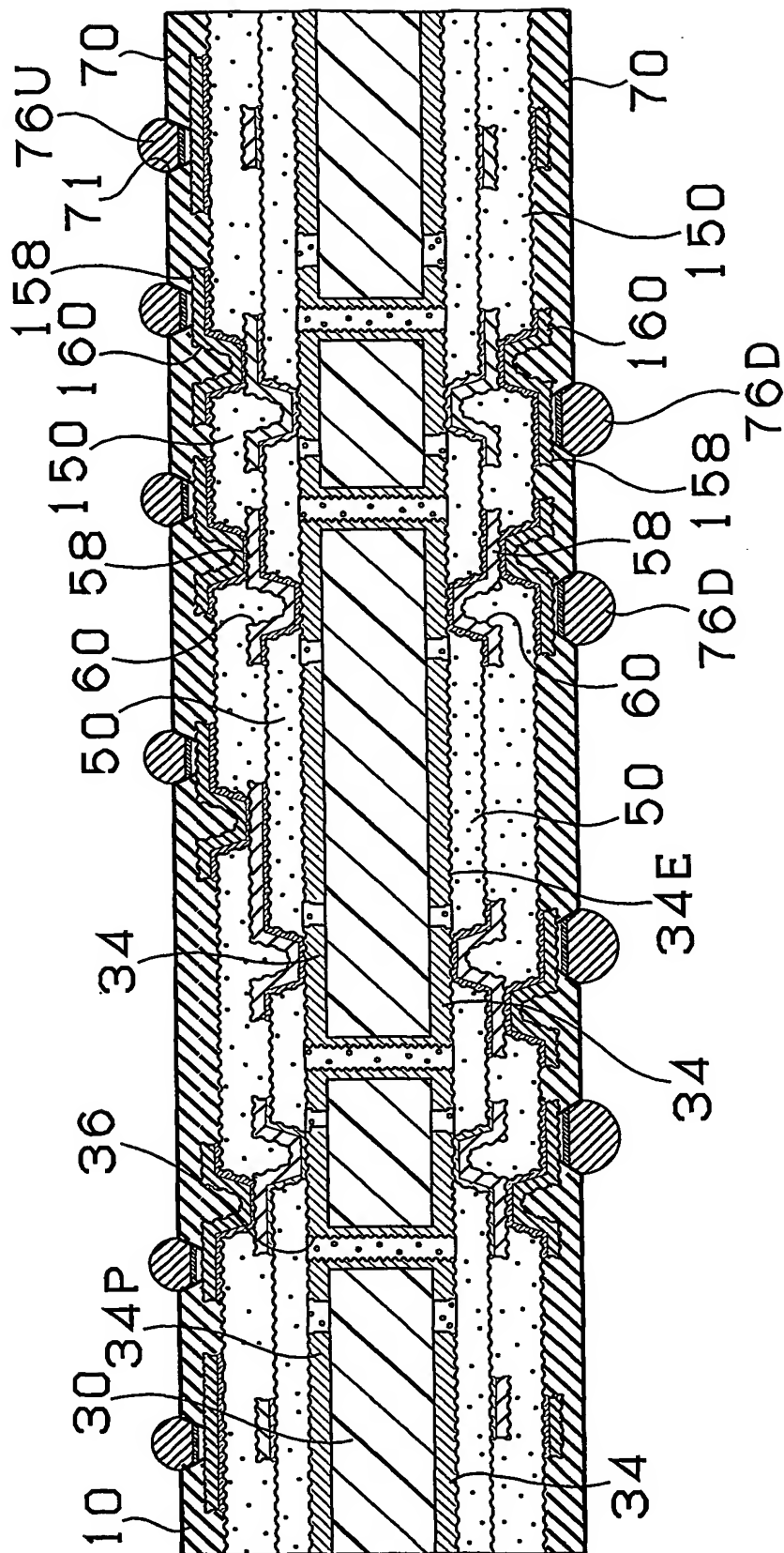


(B)



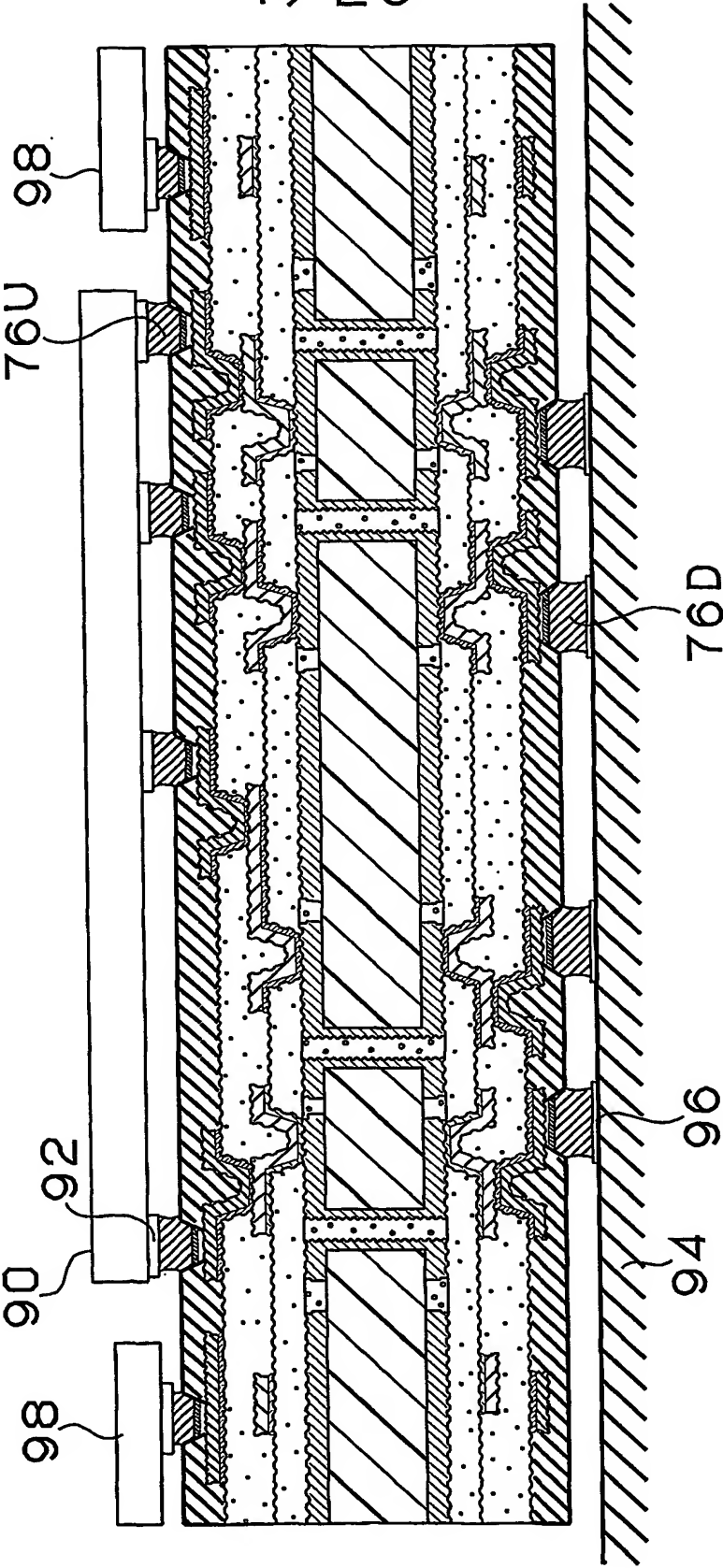
6/29

第6図



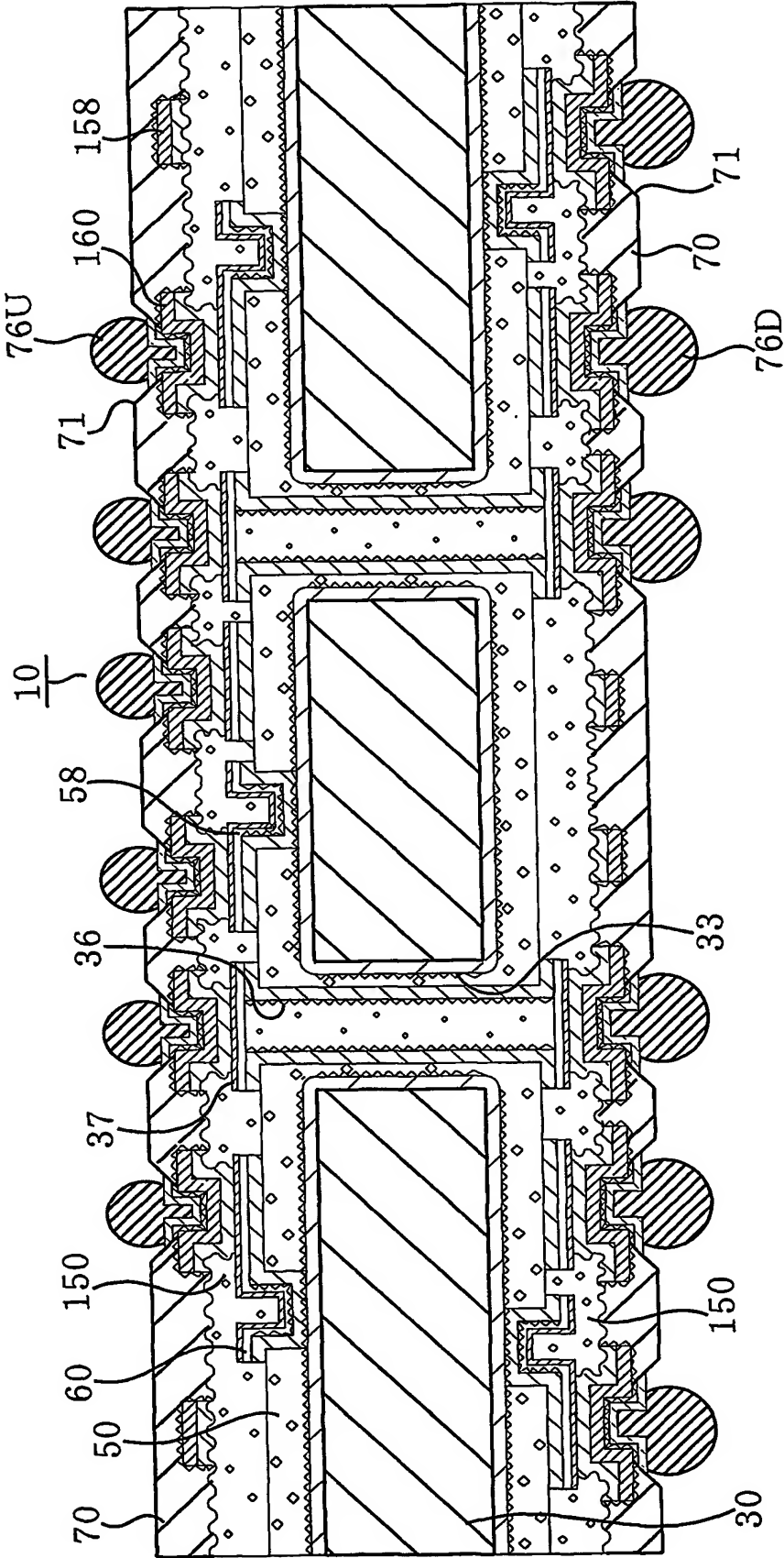
7/29

第7図



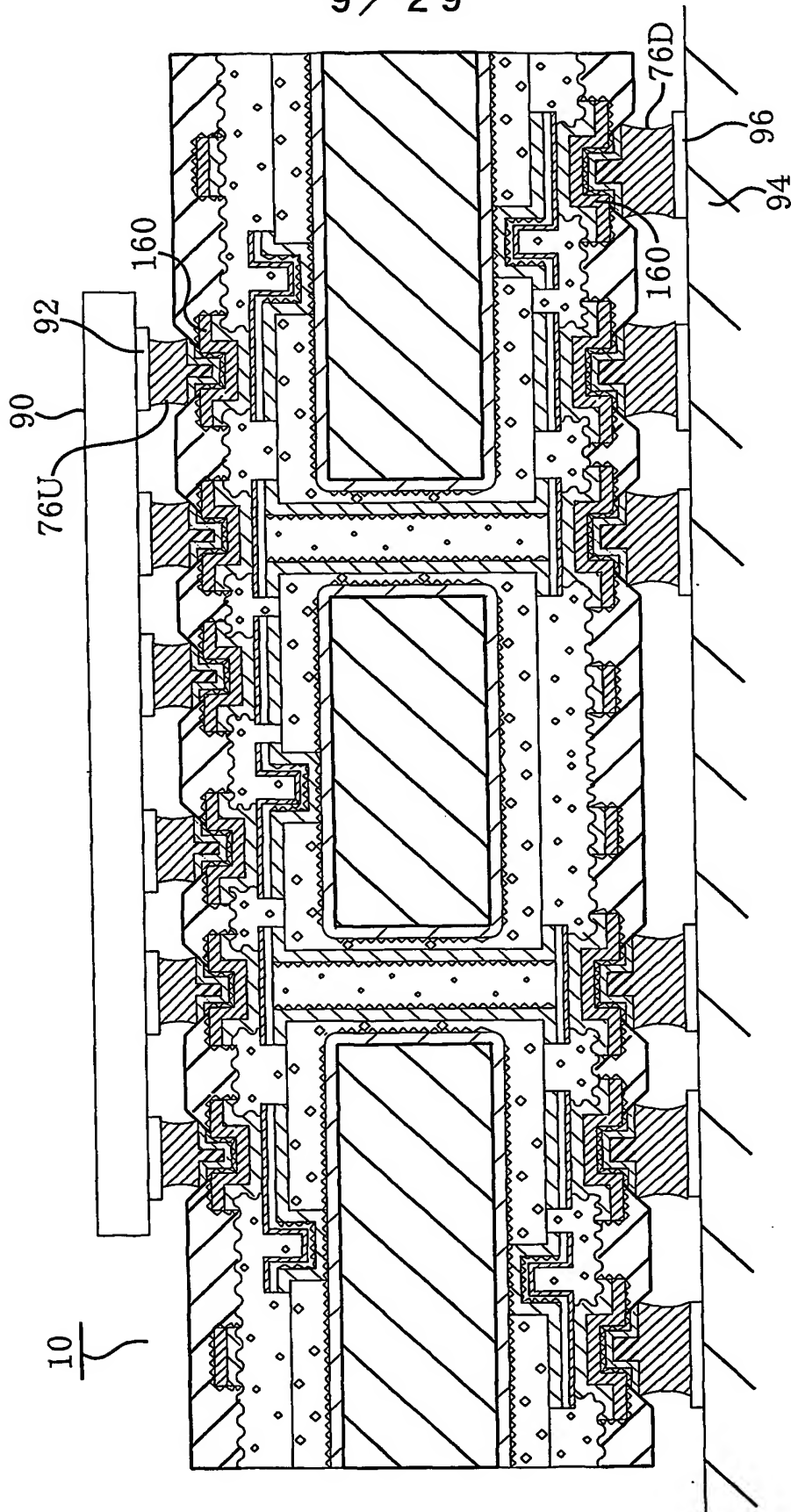
8 / 29

第8図

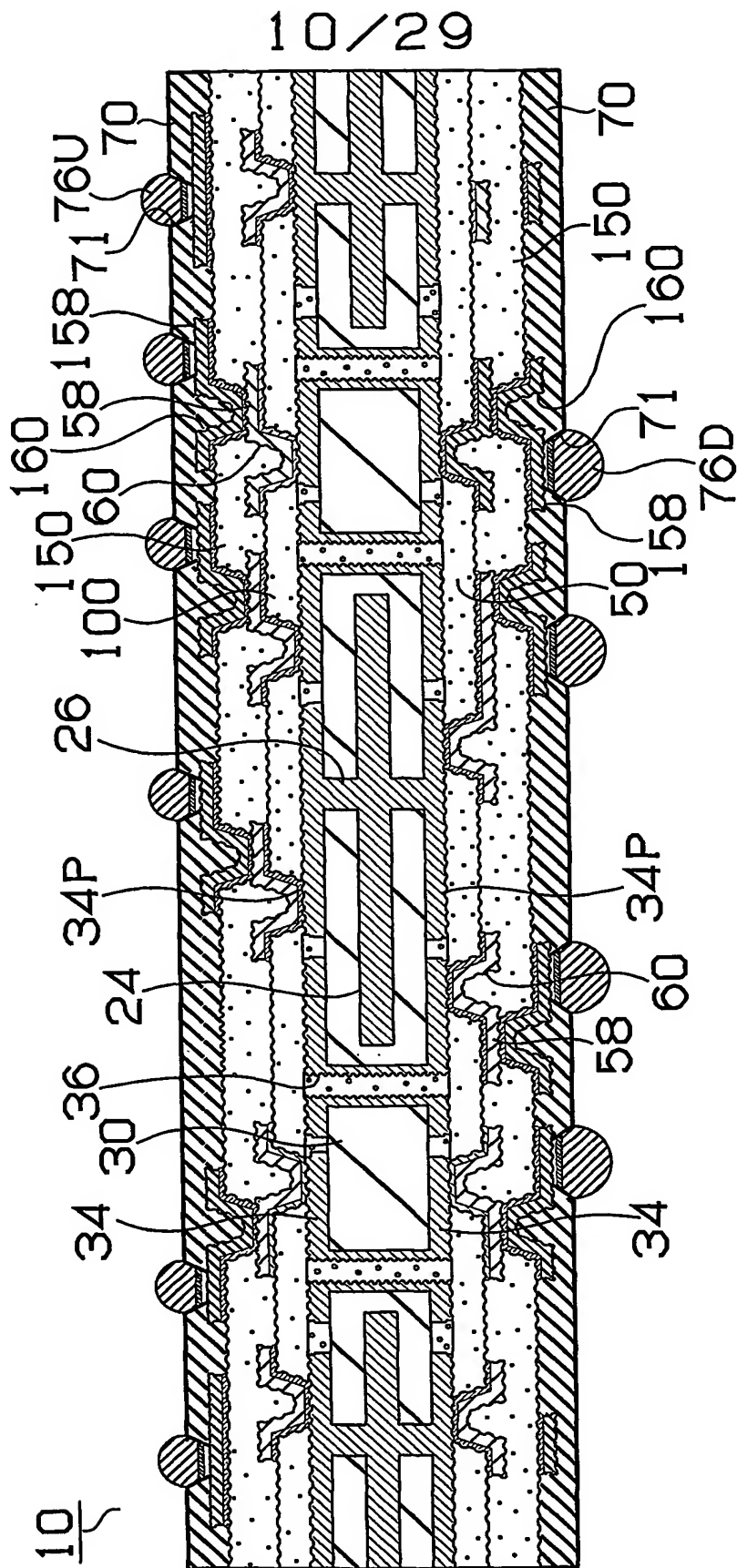


9 / 29

第9図

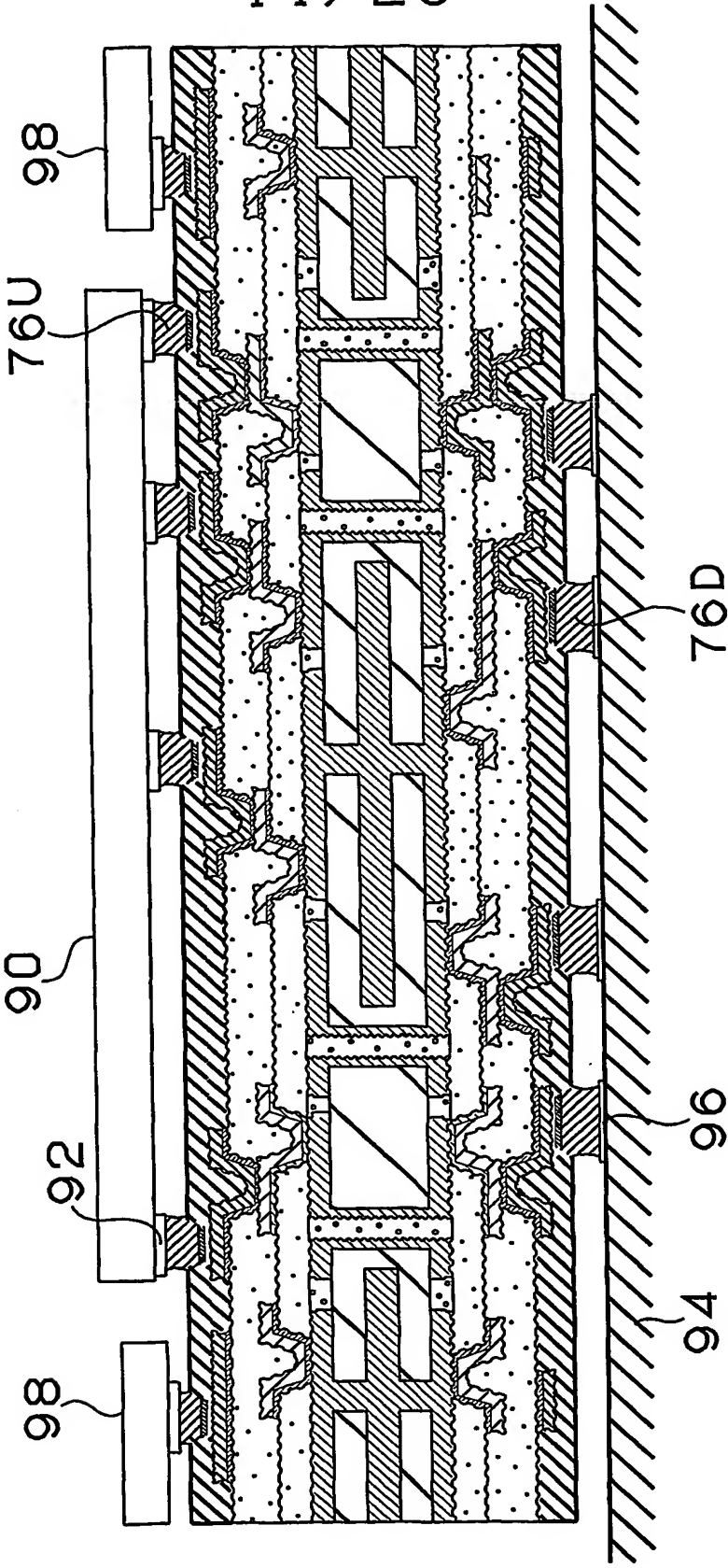


第10図



11/29

第11図



第12図

(A)



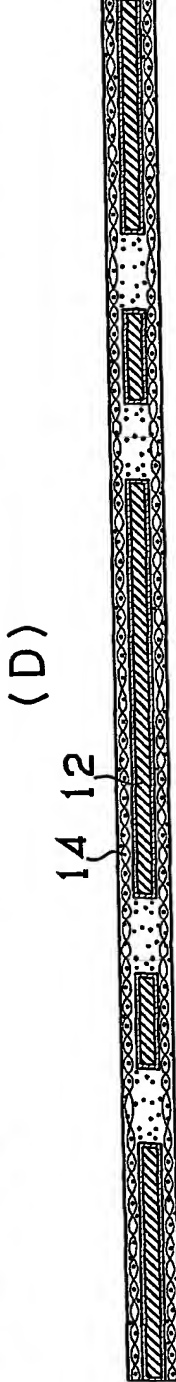
(B)



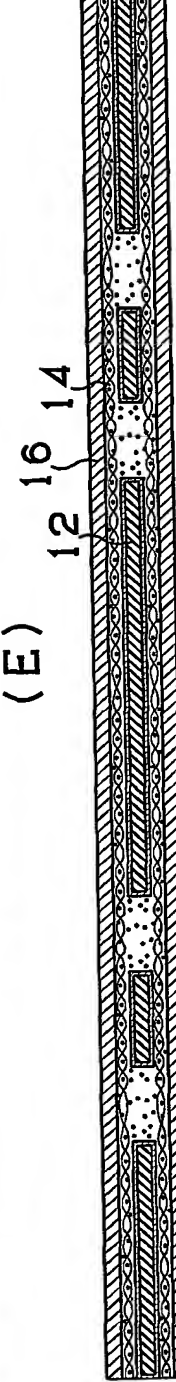
(C)



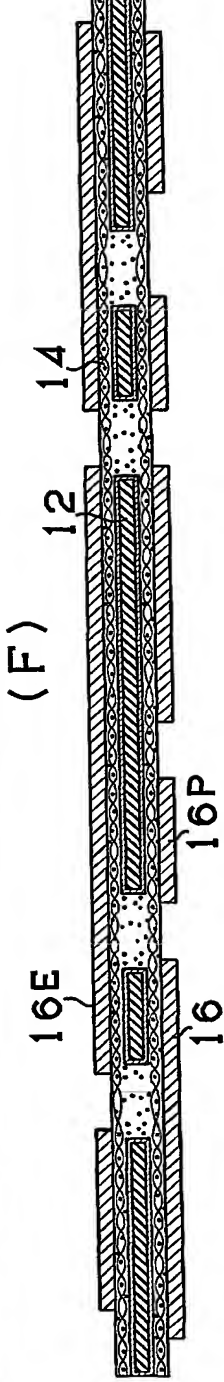
(D)



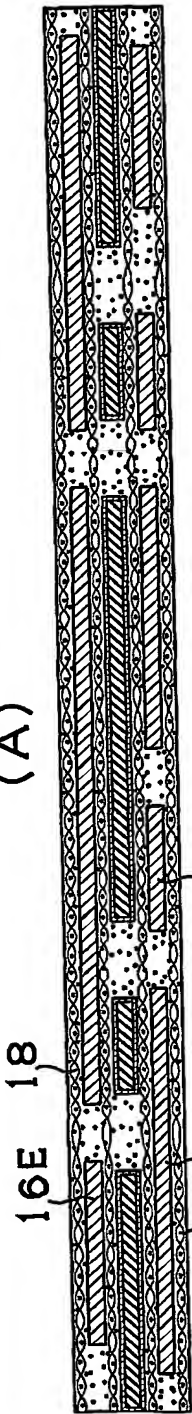
(E)



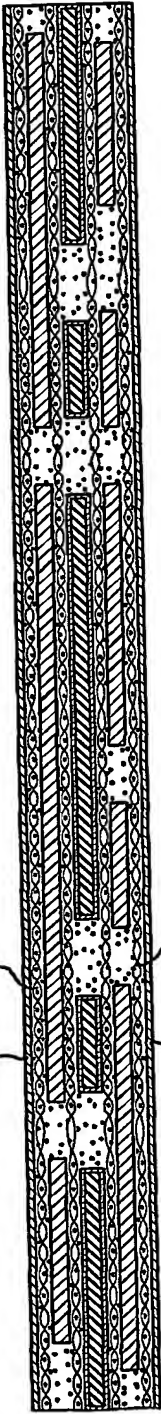
(F)



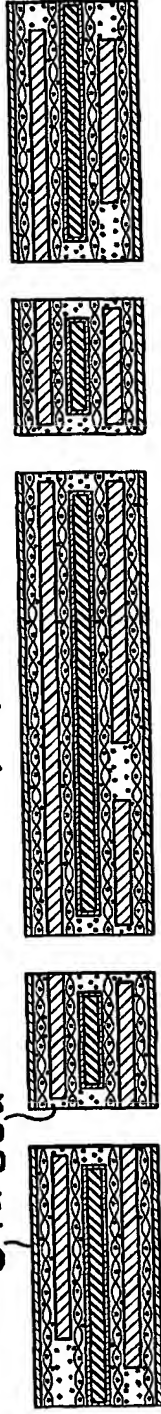
第13図
(A)



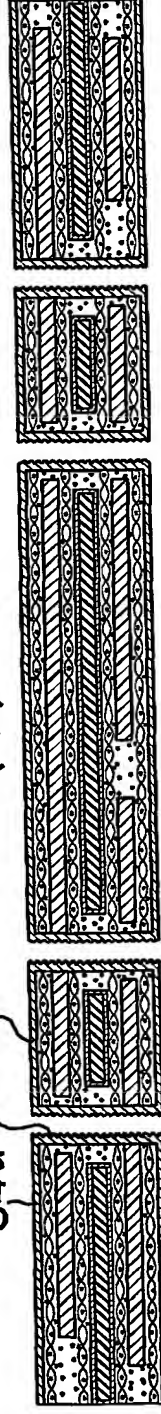
18 16 34α 18 16P (B)



34α 36α 34α 18 (C)



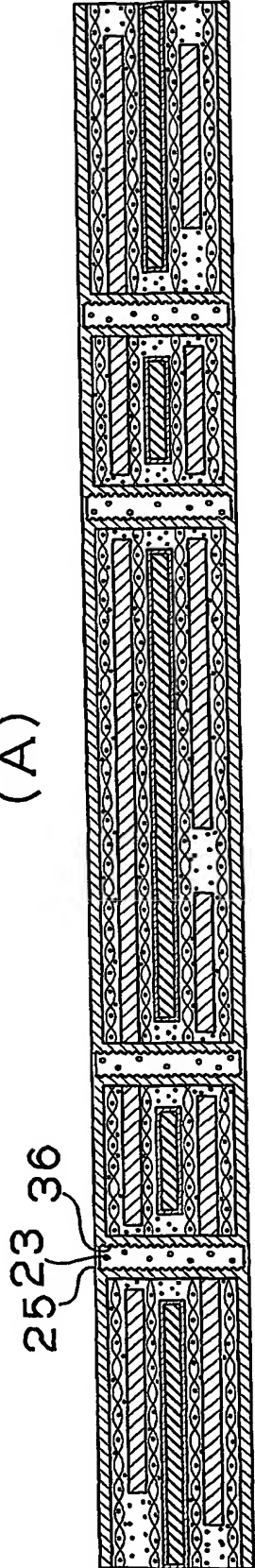
34α 34α 36 22 (D)



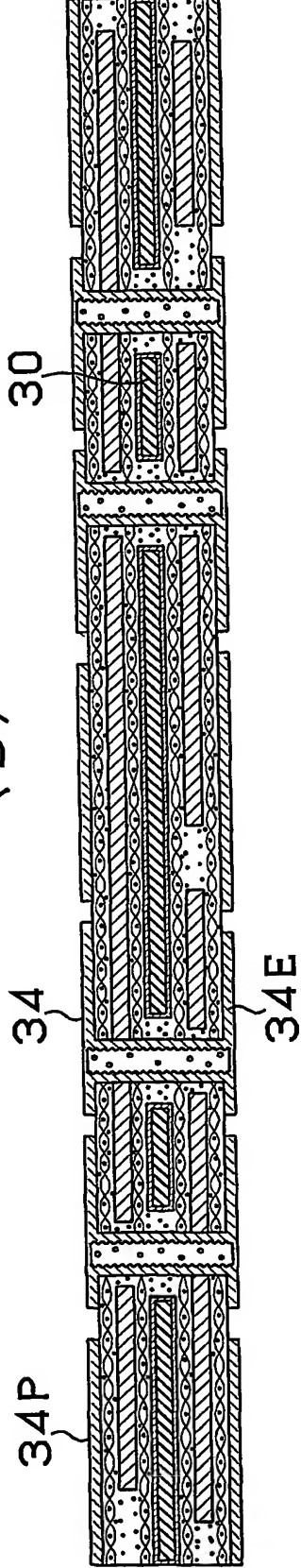
36 23 22 (E)



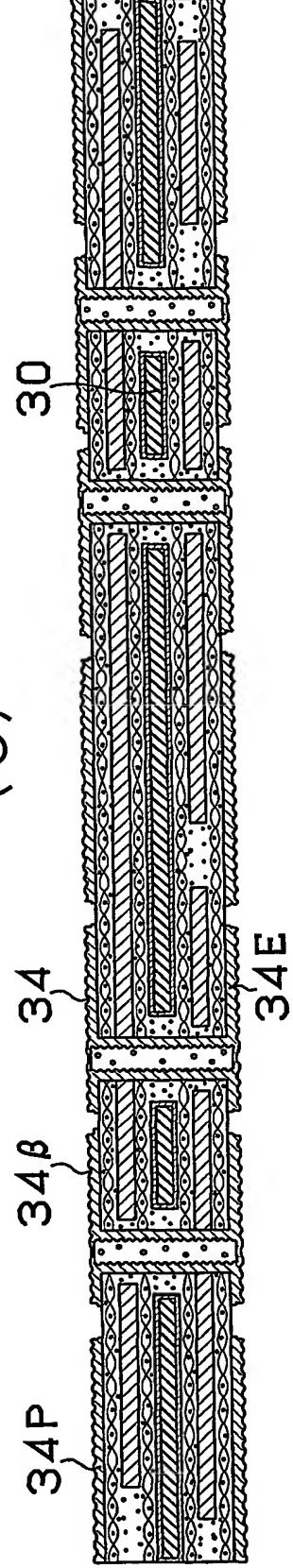
第14図
(A)



(B)

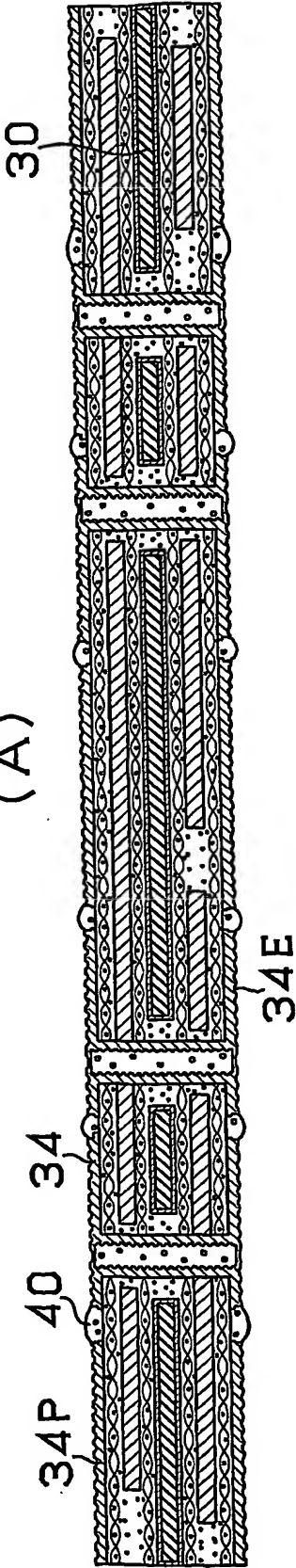


(C)

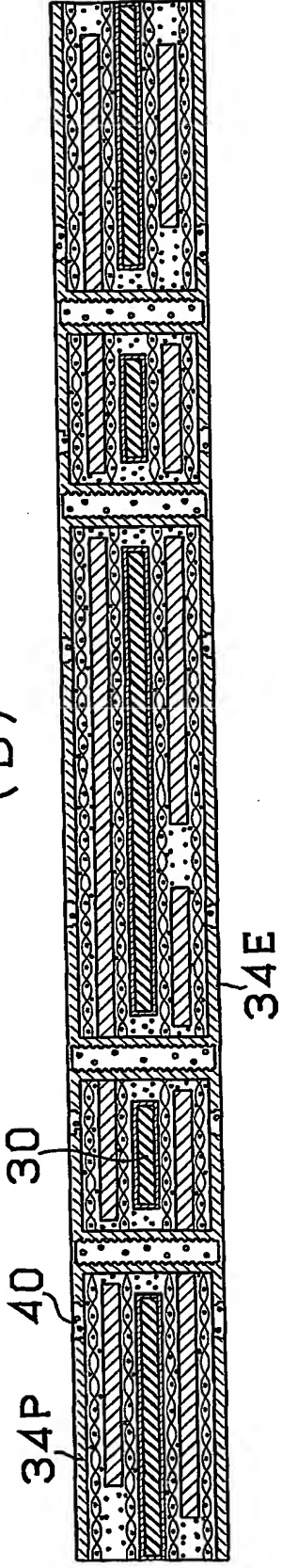


第15図

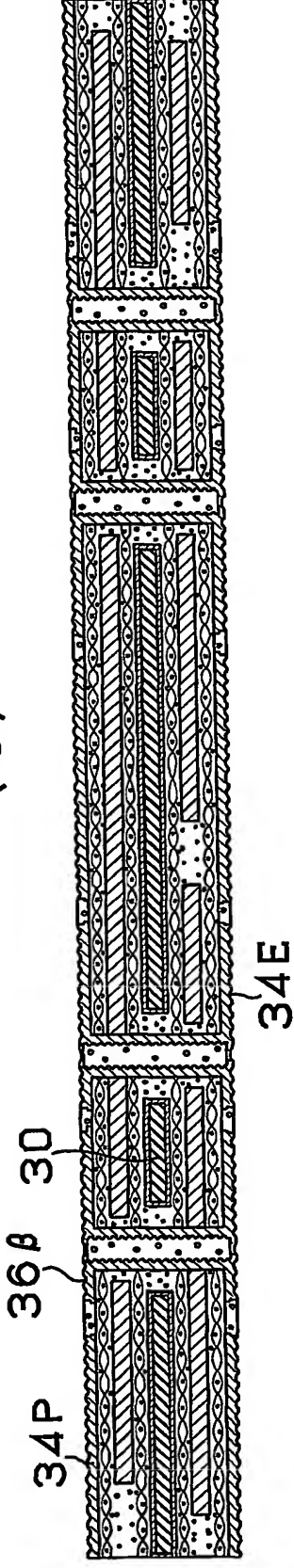
(A)



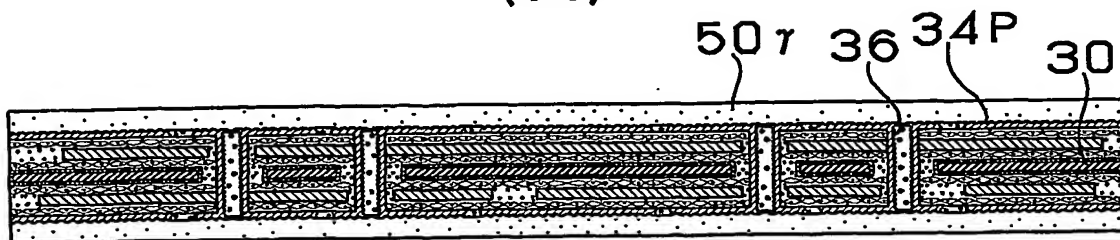
(B)



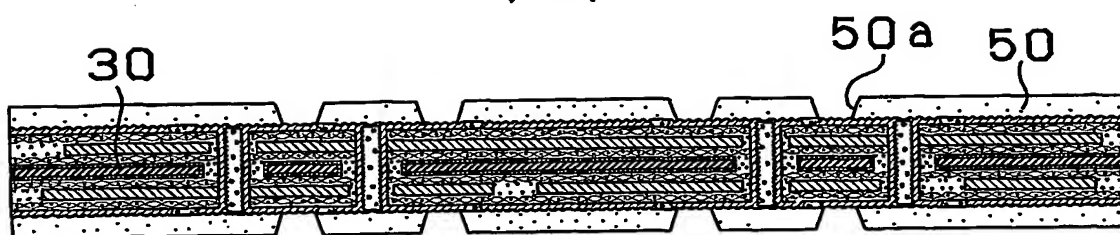
(C)



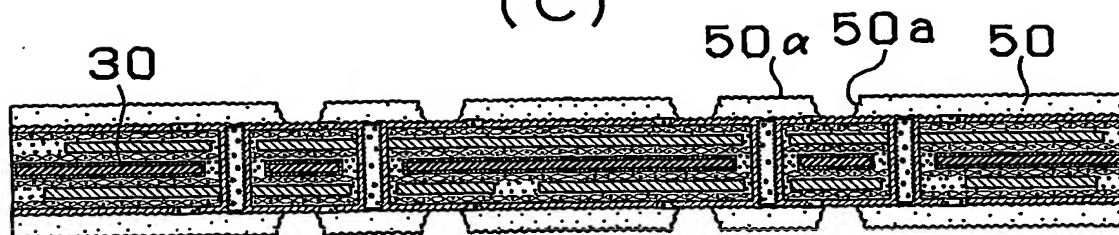
16/29
第16図
(A)



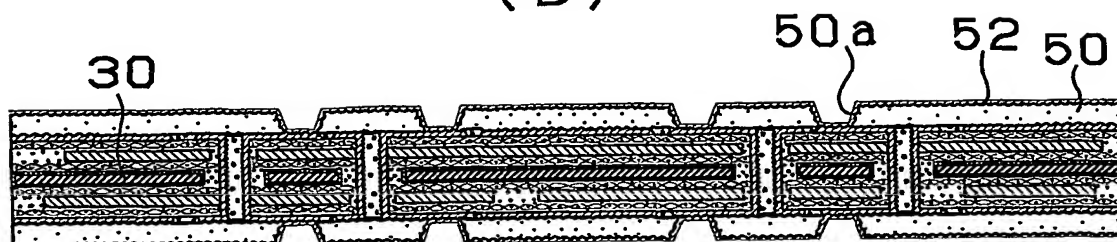
(B)



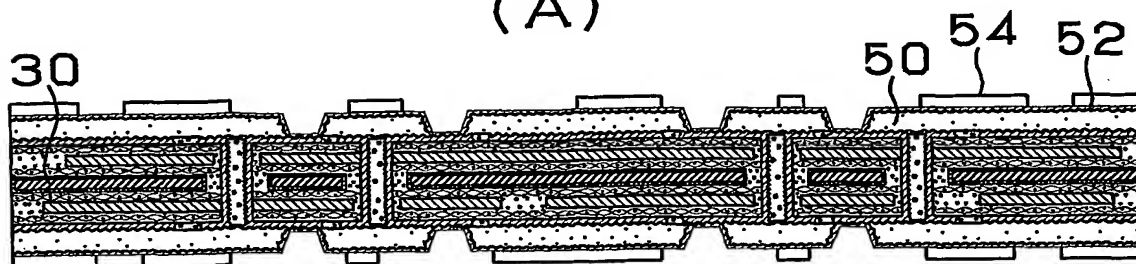
(C)



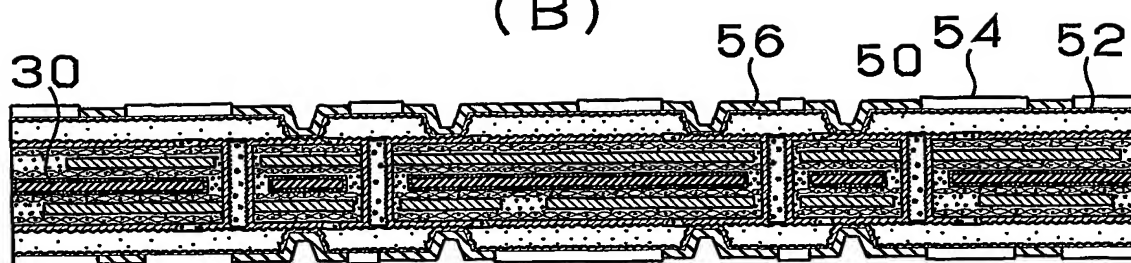
(D)



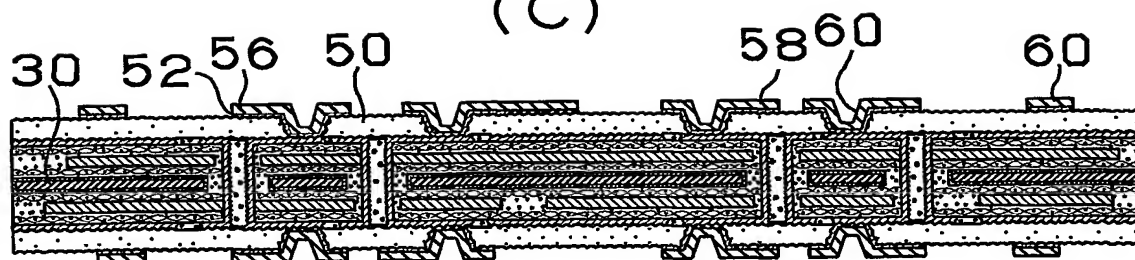
17/29
第17図
(A)



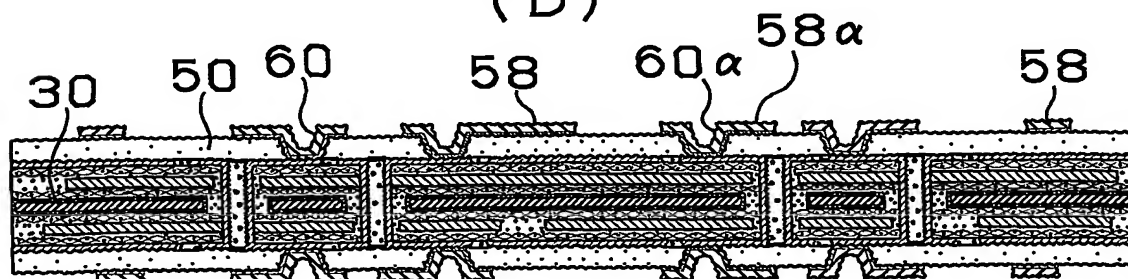
(B)



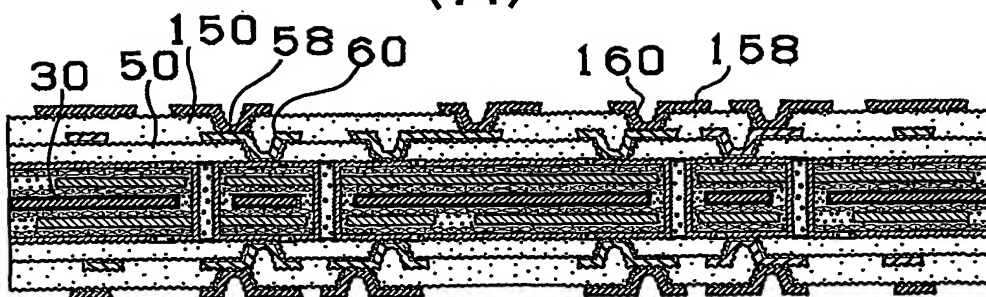
(C)



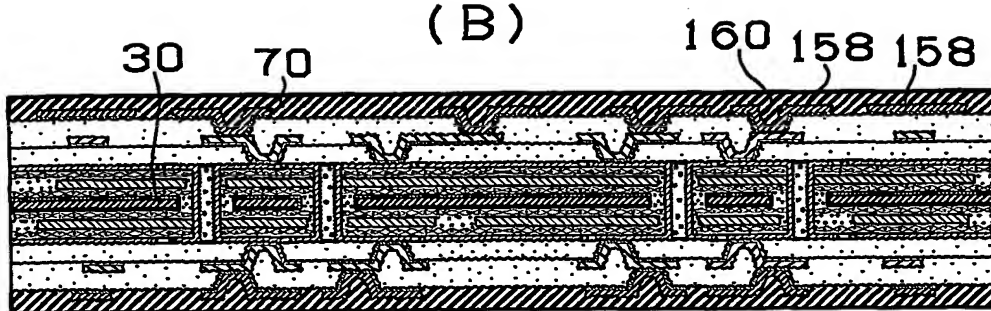
(D)



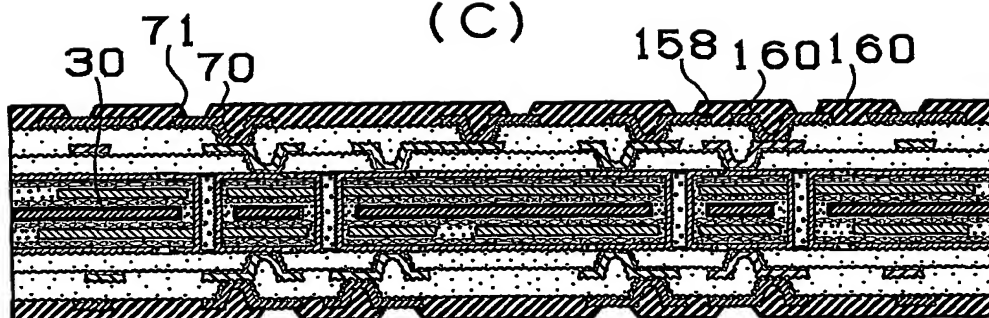
18/29
第18図
(A)



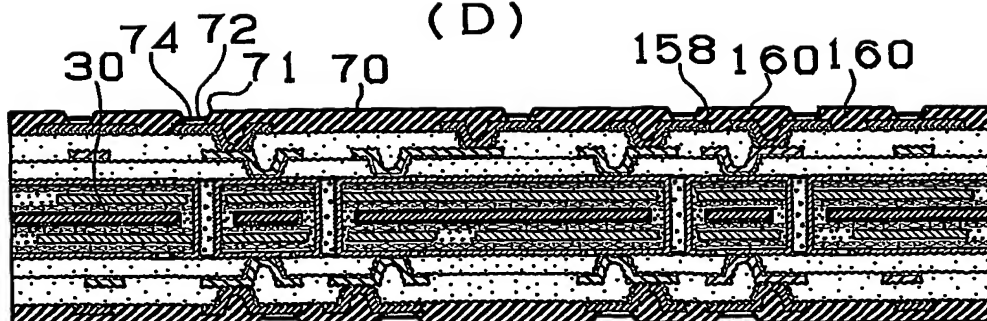
(B)



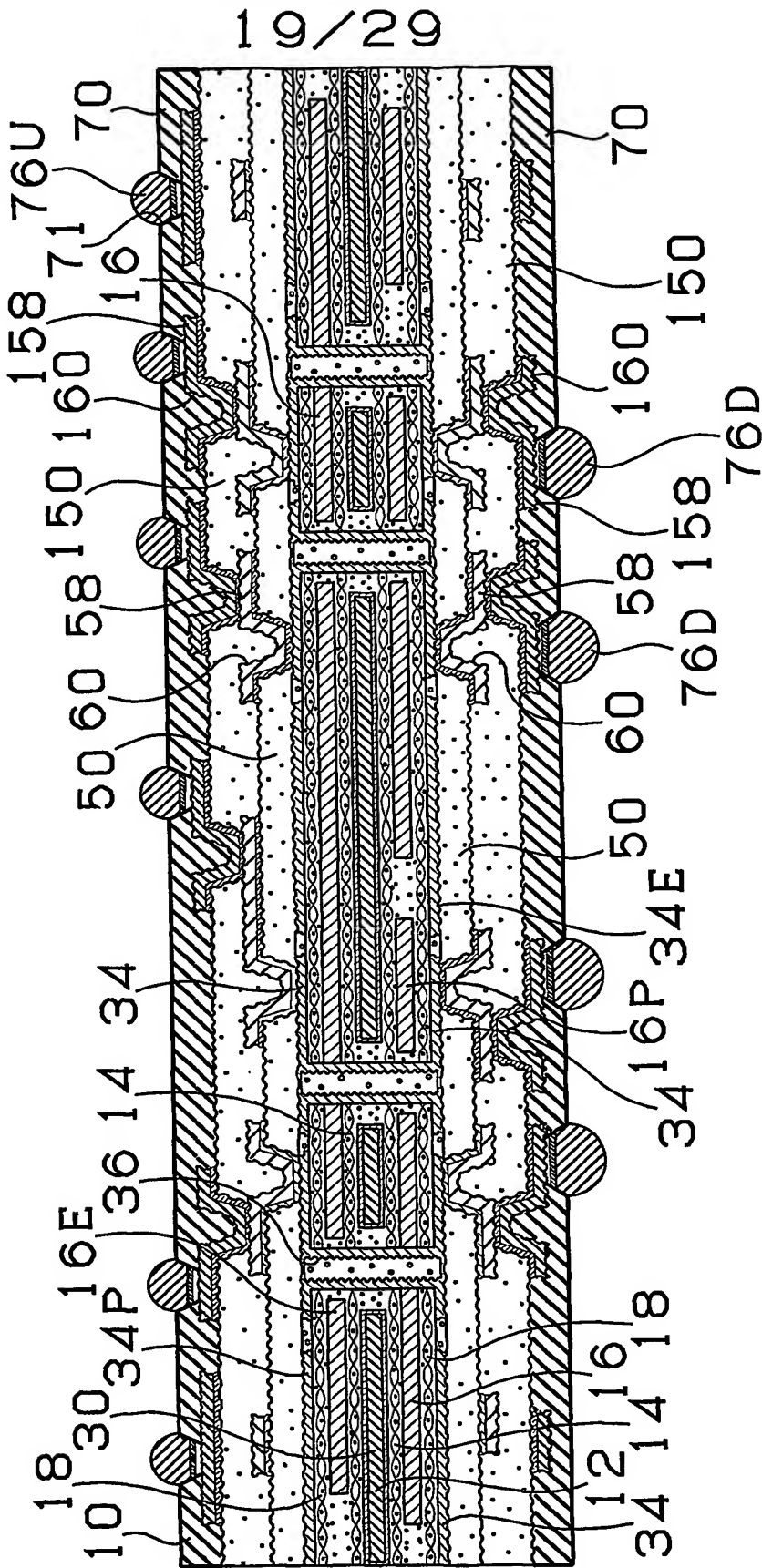
(C)



(D)

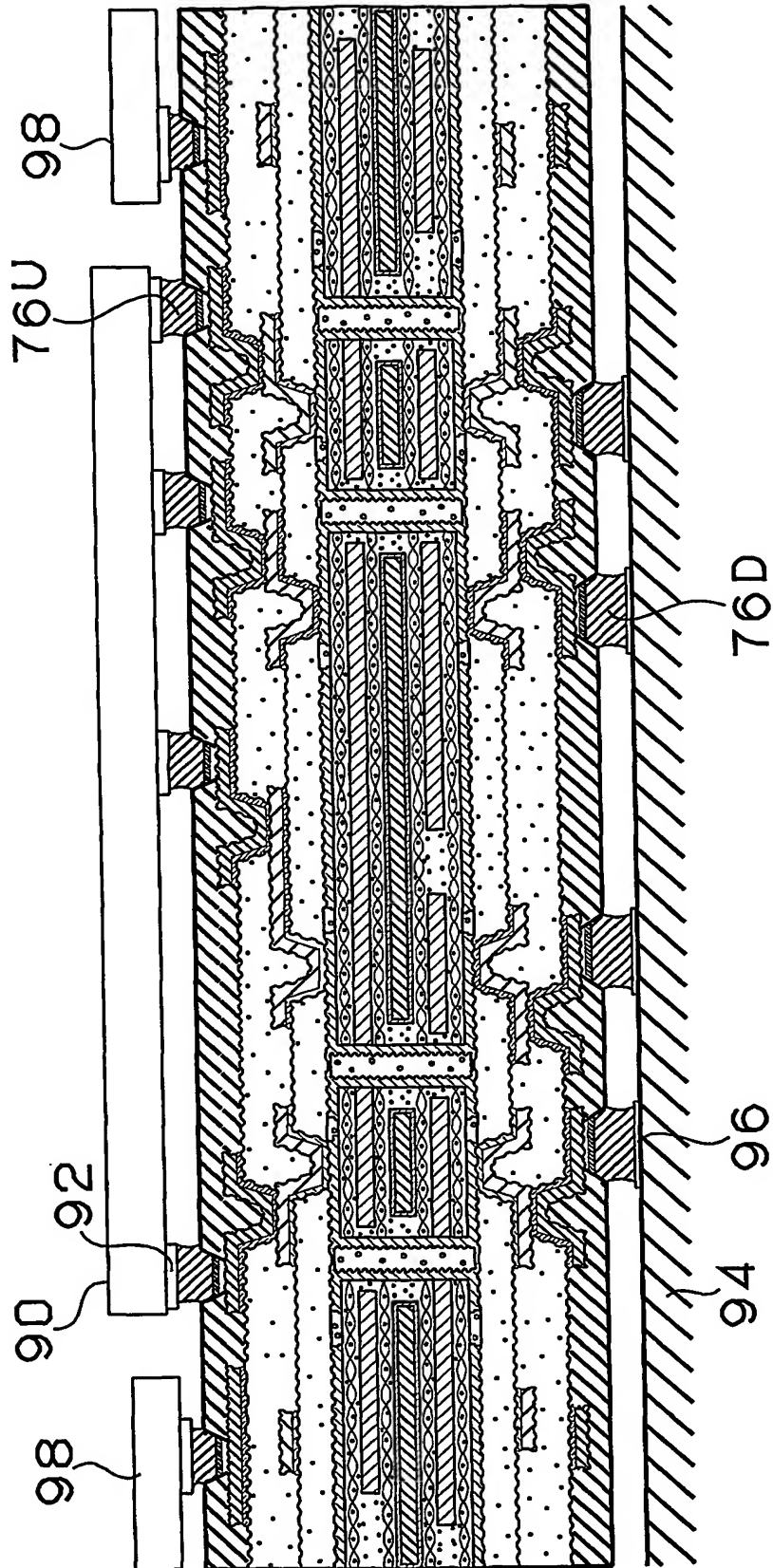


第19図



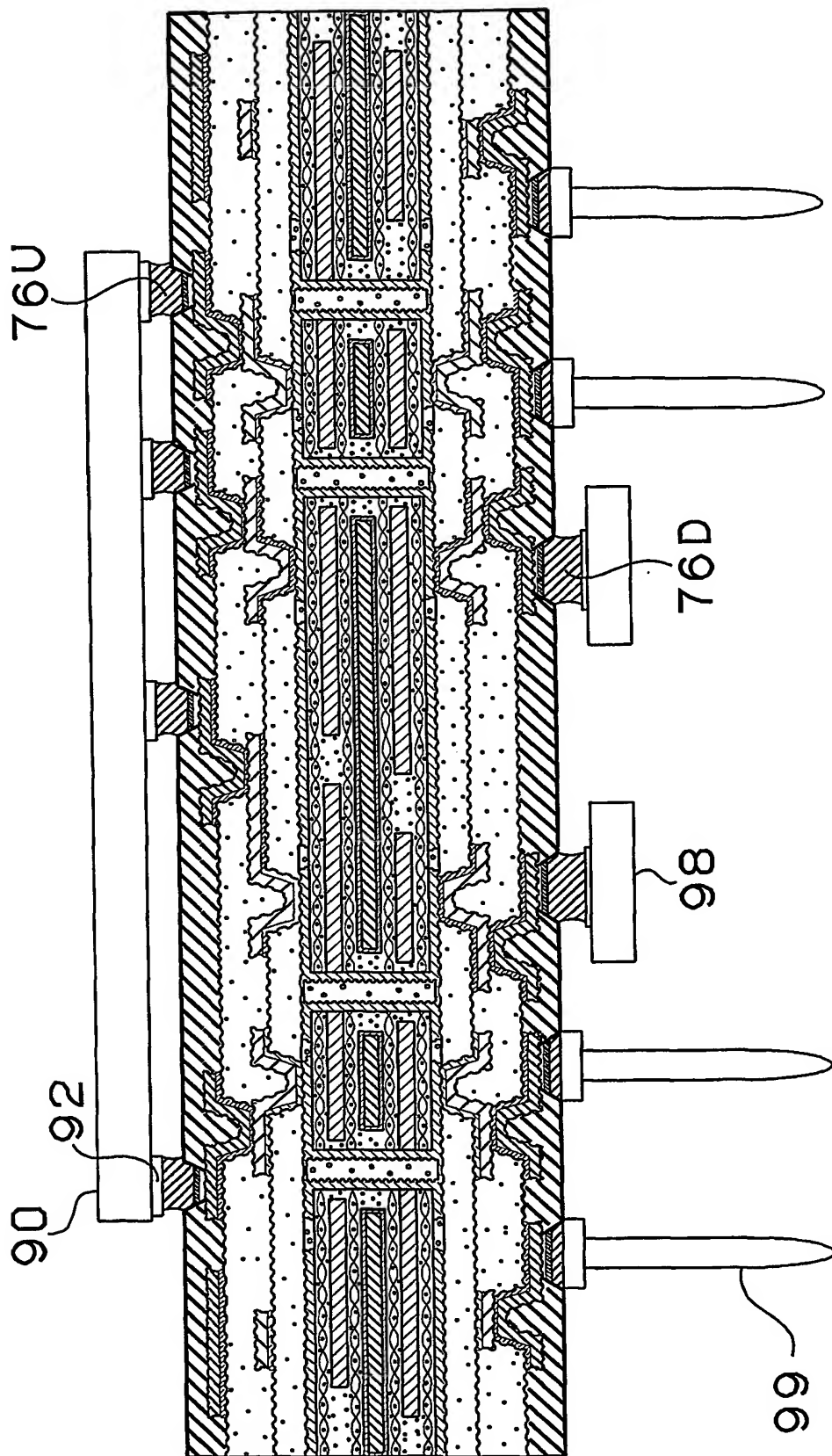
20/29

第20図

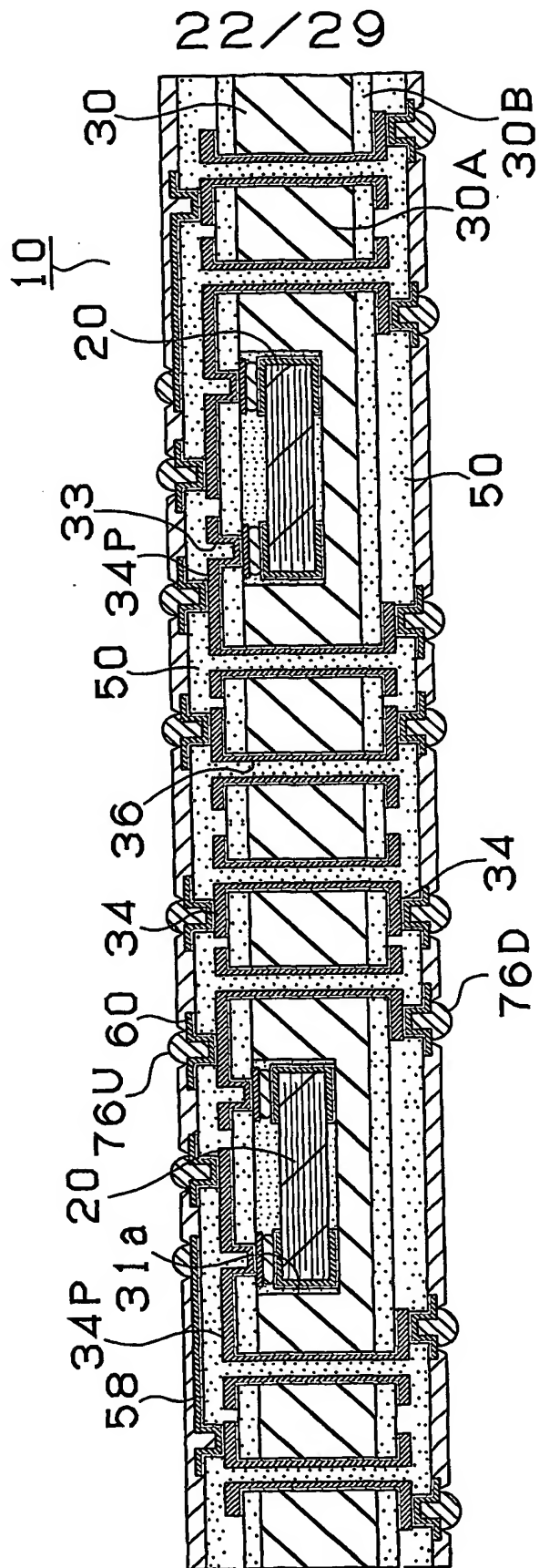


21/29

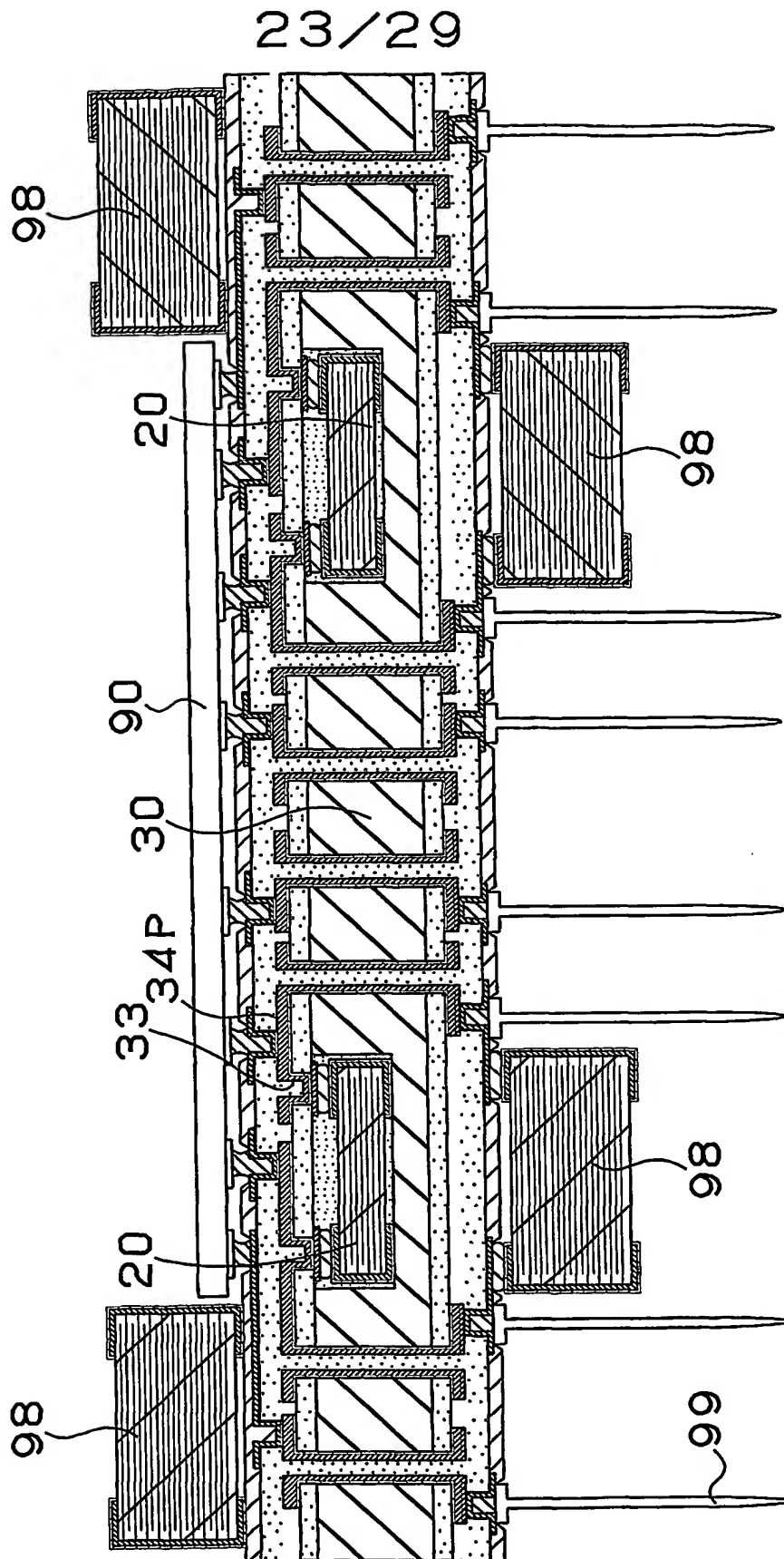
第21図



第22図

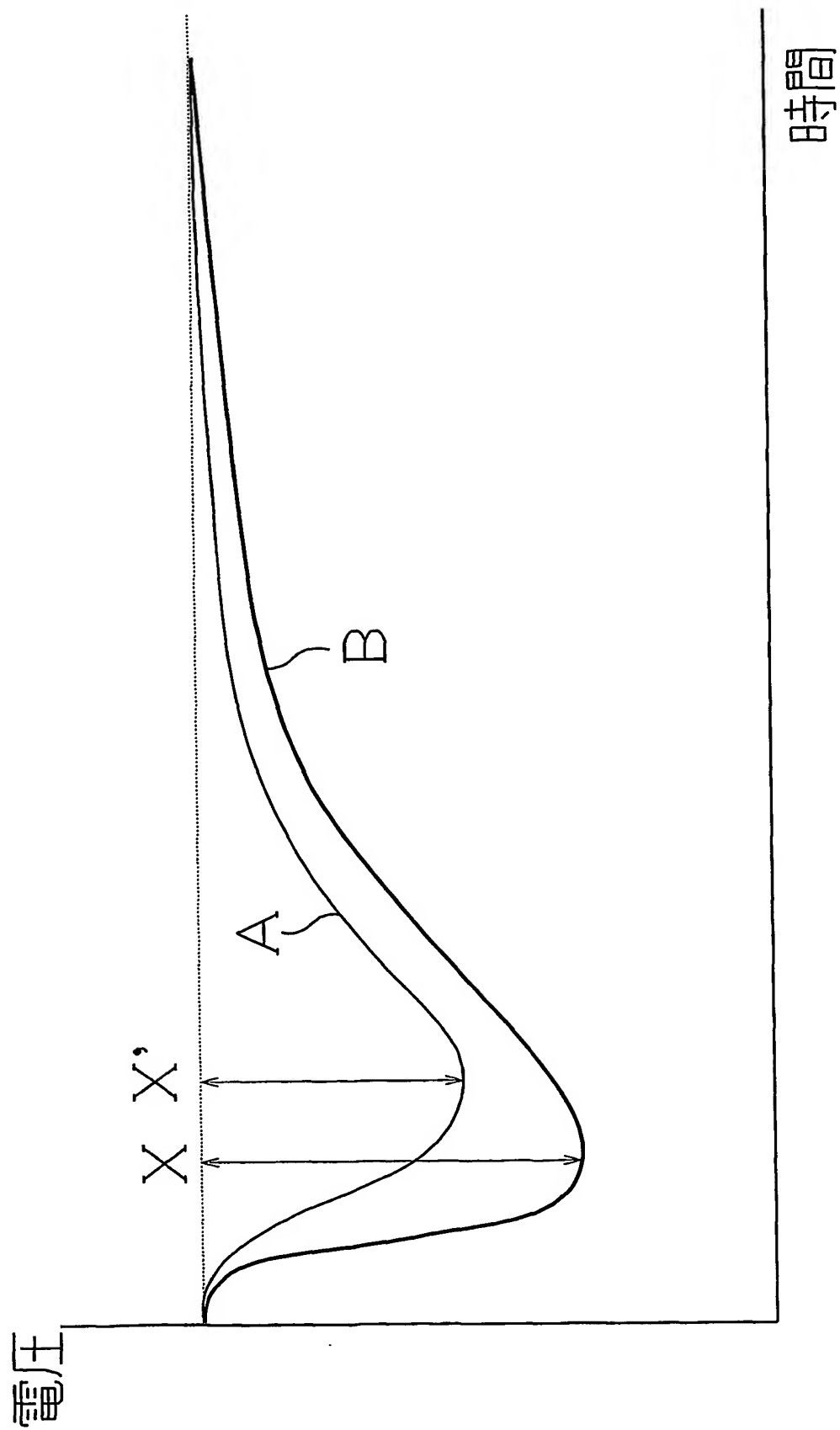


第23図

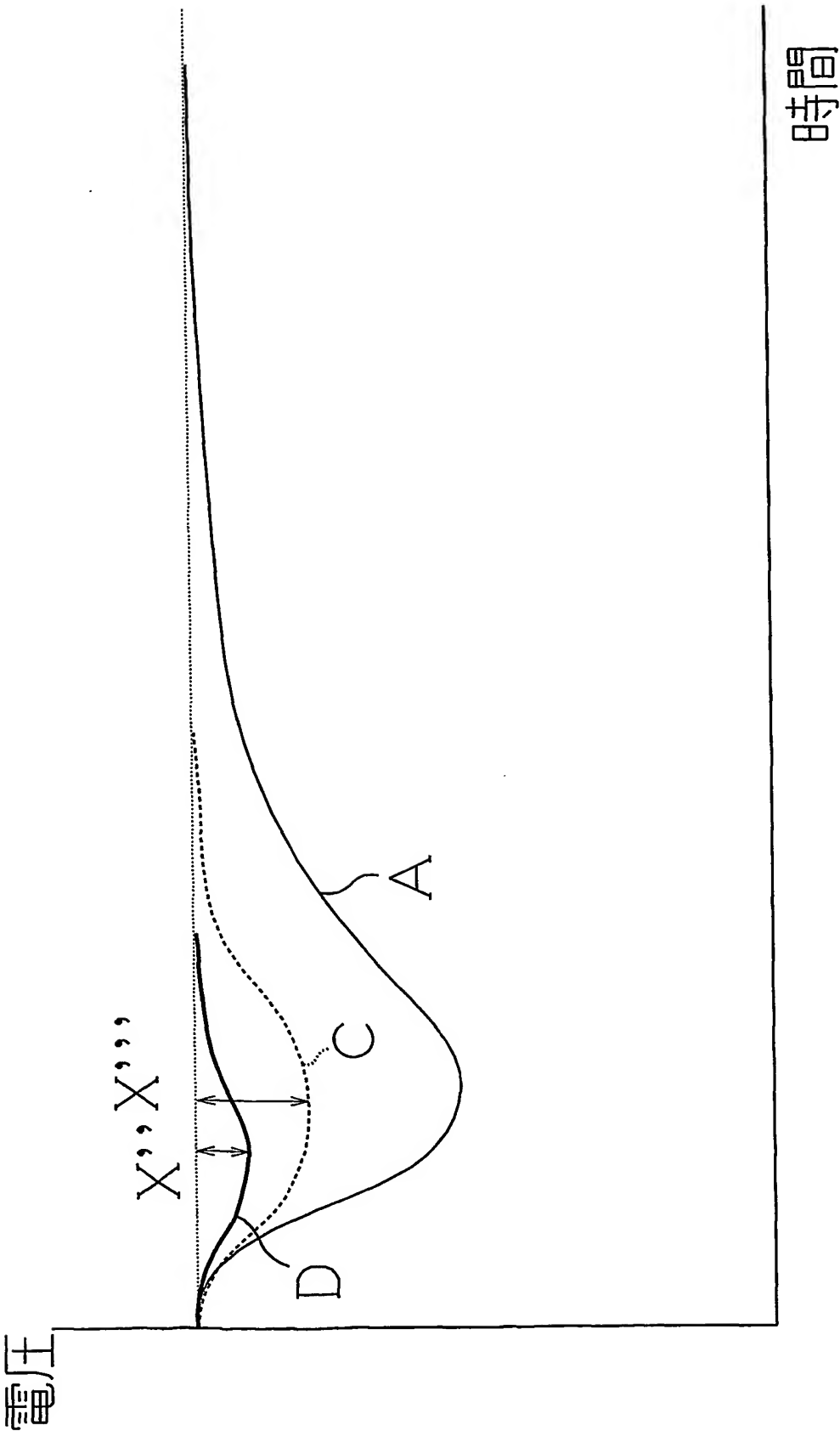


24/29

第24図

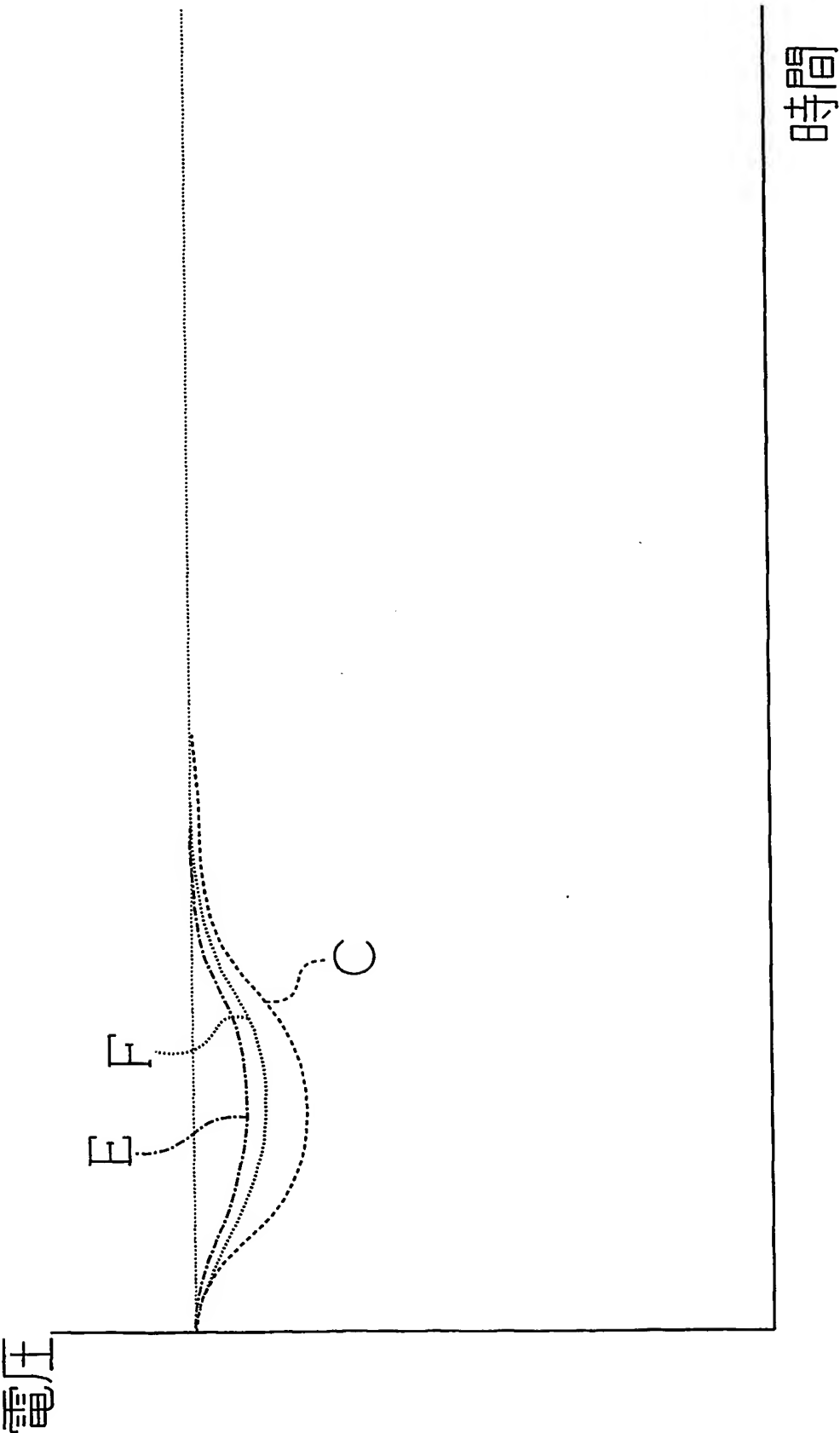


第25図



26/29

図26



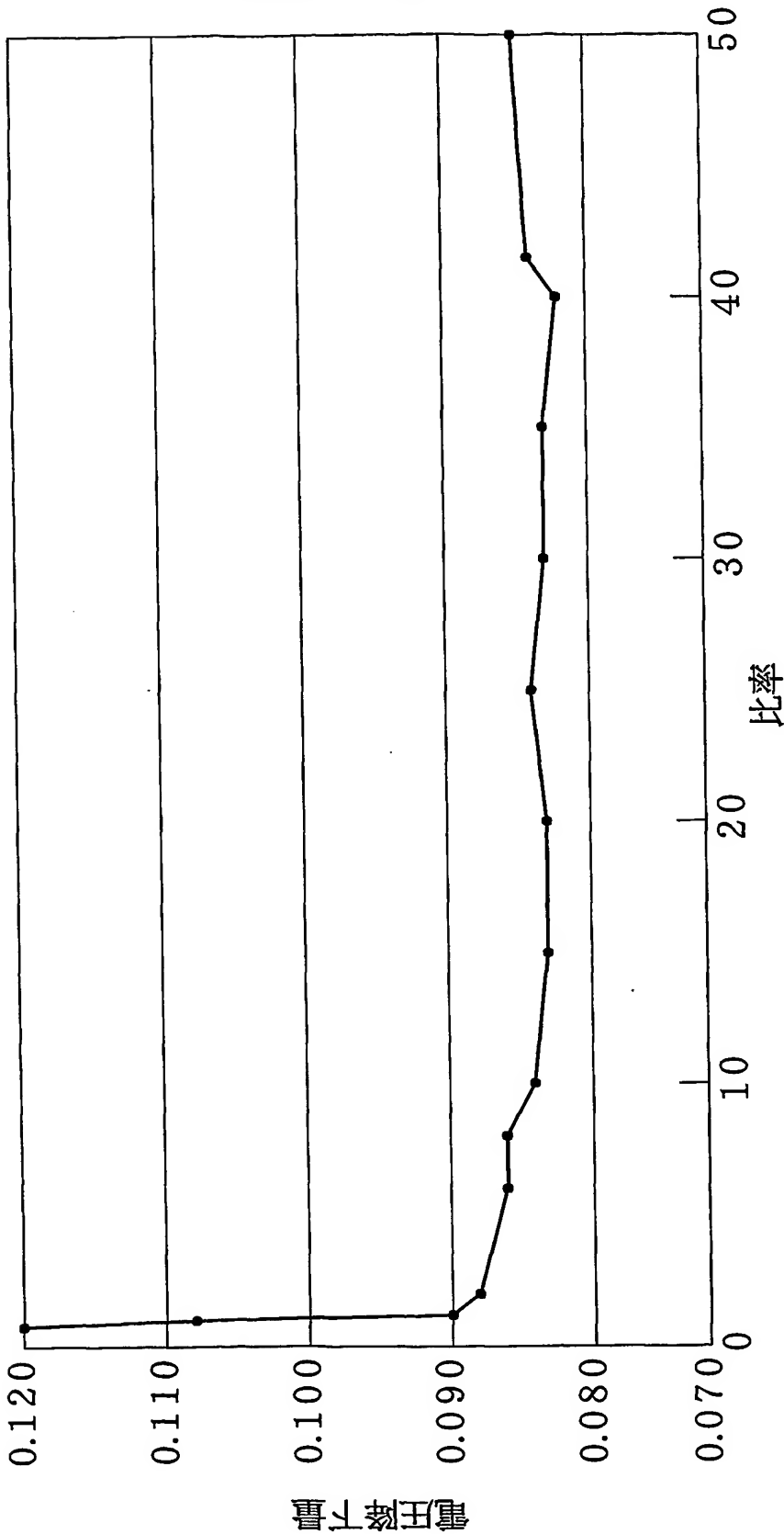
第28図

	導体回路 の厚み $\alpha 1 / \alpha 2$	100hr		300hr		500hr		1000hr		電圧 降下量 電圧(V)
		IC誤動作 の有無	オープン の有無	IC誤動作 の有無	オープン の有無	IC誤動作 の有無	オープン の有無	IC誤動作 の有無	オープン の有無	
第5実施例-1	6.7	○	○	○	○	○	○	○	○	0.086
第5実施例-2	5.4	○	○	○	○	○	○	○	○	0.086
第5実施例-3	10.0	○	○	○	○	○	○	○	○	0.084
第5実施例-4	20.0	○	○	○	○	○	○	○	○	0.083
第5実施例-5	30.0	○	○	○	○	○	○	○	○	0.083
第5実施例-6	40.0	○	○	○	○	○	○	○	○	0.082
第6実施例-1	2.0	○	○	○	○	○	○	○	○	0.088
第6実施例-2	3.7	○	○	○	○	○	○	○	○	0.087
第6実施例-3	5.0	○	○	○	○	○	○	○	○	0.087
第6実施例-4	30.0	○	○	○	○	○	○	○	○	0.083
比較例	1.0	×	○	×	○	×	×	×	×	0.108
参考例	41.5	○	○	○	○	○	○	○	×	0.084

ICチップの誤動作の有無 (○: 誤動作なし ×: 誤動作あり) オープンの有無 (○: オープンなし ×: オープンあり)

29 / 29

第29図
コア電源層比率



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03561

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L23/12, H01L23/52, H01L25/00, H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L23/12, H01L23/52, H01L25/00, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	EP 1117283 A1 (IBIDEN CO., LTD.), 18 July, 2001 (18.07.01), Par. No. [0019]; Fig. 27 & JP 2000-156565 A Par. No. [0004]; Fig. 11	1-3, 5 4
X Y	JP 2000-244130 A (NGK Spark Plug Co., Ltd.), 08 September, 2000 (08.09.00), Par. Nos. [0067] to [0086]; Figs. 1 to 2 & US 6214445 B1 & US 6333857 B1	6-8, 10-11 4, 9
Y	JP 2000-299404 A (Shinko Electric Industries Co., Ltd.), 24 October, 2000 (24.10.00), Par. No. [0029]; Fig. 6 (Family: none)	9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
16 April, 2003 (16.04.03)

Date of mailing of the international search report
30 April, 2003 (30.04.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03561

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-196234 A (Kyocera Corp.), 14 July, 2000 (14.07.00), (Family: none)	1-11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03561

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

I. The inventions of claims 1-5 relate to a multiplayer printed wiring board wherein the conductor layer on a core board is thicker than that on an interlayer insulation layer.

II. The inventions of claims 6-11 relate to a multiplayer printed wiring board wherein the conductor layer of the core board is used as a power source layer or for grounding.

These two groups of inventions are not so linked as to form a single general inventive concept.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H01L23/12 H01L23/52 H01L25/00 H05K3/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H01L23/12 H01L23/52 H01L25/00 H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X, Y	EP 1117283 A1 (IBIDEN CO., LTD.) 2001. 07. 18, [0019], FIG27 & JP 2000-156565 A, [0004], 図11	1-3, 5 <u>4</u>
X, Y	JP 2000-244130 A (日本特殊陶業株式会社) 2000. 09. 08, [0067]-[0086], 図1-2 & US 6214445 B1 & US 6333857 B1	6-8, 10-11 <u>4, 9</u>
Y	JP 2000-299404 A (新光電気工業株式会社) 2000. 10. 24, [0029], 図 6 (ファミリーなし)	9
A	JP 2000-196234 A (京セラ株式会社) 2000. 07. 14 (ファミリーなし)	1-11

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

16. 04. 03

国際調査報告の発送日

30 04. 03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

4R

9265

電話番号 03-3581-1101 内線 6738

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

I. 請求の範囲1-5は、コア基板上の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚い多層プリント配線板に関するものである。

II. 請求の範囲6-11は、コア基板の導体層が、電源層用又はアース用の導体層である多層プリント配線板に関するものである。

そして、これらの二つの発明群が単一の一般的発明概念を形成するように連関している一群の発明であるとは認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.